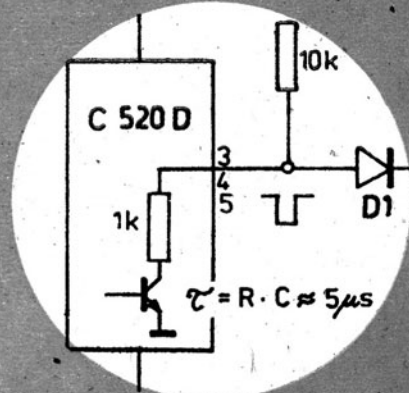




Information Applikation



3-DIGIT
ANALOG/DIGITAL-
WANDLER



C 520 D

14



INFORMATION

APPLIKATION

MIKROELEKTRONIK

Heft 14:

C 520 D

3-Digit-Analog/Digital-Wandler



veb halbleiterwerk frankfurt (oder)
leitbetrieb im veb kombinat mikroelektronik



KAMMER DER TECHNIK
Vorstand des Bezirksverbandes
Frankfurt (Oder), Ebertusstraße 2

Autor : Dr.-Ing. B. Kahl
VEB Halbleiterwerk Frankfurt(Oder)

Layout : Heinz Schulz

Umschlag : Peter Hoffmann

Redaktions- Heinz Schulz (Vorsitzender)
Kollektiv : Dipl.-Ing. Peter Grunow, KDT-Beauftragter
 Dipl.-Ing. Egbert Knopke
 Dipl.-Ing. Dieter Buttgerit
 Ing. Wolfgang Richter
 Dipl.-Wirtsch. Wolfgang Mattke
 Dipl.-Ing. Hermann Dornfeld

Redaktionsschluß : 15.11.1982

Nachdruck, auch auszugsweise, nur mit Genehmigung des
Herausgebers !

Die vorliegende technische Information dient dem Informationsbedürfnis des Schaltungsentwicklers sowie interessierten Technikers im In- und Ausland zu speziellen ausgewählten Erzeugnissen der Halbleiterbauelemente-Industrie der Deutschen Demokratischen Republik. Sie gibt keine Auskunft über Liefermöglichkeiten und beinhaltet keine Verbindlichkeiten zur Produktion.

Gültige Unterlagen für den Bezug von in den Schaltungen beschriebenen Bauelementen sind allein die Typstandards, die gültigen Kenndatenblätter oder die im Liefervertrag selbst fixierten Vereinbarungen. Änderungen der Bauelementeigenschaften, die dem technischen Fortschritt dienen, behält sich der Halbleiterbauelemente-Hersteller vor.

Für die Patentfreiheit der angegebenen Schaltungsvorschläge wird keine Gewähr übernommen. Anfragen und Hinweise, die sich auf Inhalt und Bezug dieser Schrift beziehen, bitten wir an nachstehende Anschriften zu richten:

DDR-Interessenten : Kammer der Technik
 Bezirksvorstand Frankfurt(Oder)
 1200 Frankfurt(Oder)
 Ebertusstraße 2

Interessenten
im Ausland :

VEB Halbleiterwerk Frankfurt(Oder)
Leitbetrieb im
VEB Kombinat Mikroelektronik
Außenstelle Leipzig
Werbung und Messen
DDR 7010 Leipzig
Messegelände, Halle 17,Kopfbau,II.Etage

INHALT

SEITE:

1.	Einleitung	6
2.	Verfahren der Analog-Digital-Wandlung	8
2.1.	Zählverfahren	9
2.2.	AD-Wandlung mit dem Verfahren der sukzessiven Approximation	14
3.	Kenngrößen und Fehler bei AD- und DA-Wandlern	21
3.1.	Auflösung	21
3.2.	Kennlinienfehler und Linearität	27
4.	Allgemeine Kennzeichnung des C 520 D	37
5.	Funktionsweise des C 520 D	39
5.1.	Spannungs-Strom-Wandler	42
5.2.	Komparator	42
5.3.	Band-gap-Referenzquelle	43
5.4.	Oszillator	45
5.5.	Teiler	46
5.6.	Zähler und Zusatzlogik	46
5.7.	Kontroll- und Steuerlogik	47
5.8.	Multiplexer	48
5.9.	Ausgangsstufen	49
6.	Kennwerte des C 520 D	51
6.1.	Anschlußbelegung	51
6.2.	Grenzwerte	52
6.3.	Betriebsbedingungen	53
6.4.	Elektrische Kennwerte	54
6.5.	Sonderzeichenausgabe	56
6.6.	Temperaturverhalten	61

7.	Applikative Hinweise zum Einsatz des C 520 D	64
8.	Anwendungsbeispiele für den C 520 D	66
8.1.	Anzeigesysteme	66
8.2.	Multiplexsignale	70
8.3.	Meßwertspeicherung	71
8.4.	Betriebsartenumschaltung	75
8.5.	Vorzeichenausgabe	76
8.6.	Ergänzende Baugruppen	77
8.7.	Standardsignale und ihre Anpassung an den C 520 D	79
8.8.	Temperaturmessung	81
8.9.	Mikrorechnerkopplung	87
9.	Dekoderreihe D 345 bis D 348	91
10.	Testmöglichkeiten von Wandlern	93
11.	Literaturverzeichnis	98

1. EINLEITUNG

Die Entwicklung in der Industrie ist gegenwärtig durch einen wachsenden Einsatz der Mikroelektronik in der Gerätetechnik gekennzeichnet. Dieser Prozeß erfaßt alle Bereiche und ermöglicht u.a. durch den breiten Einsatz der Mikrorechentechnik gänzlich neue Gerätegenerationen mit wesentlich verbesserten Eigenschaften und Parametern. Dabei spielt die digitale Informationsverarbeitung und-übertragung eine immer stärkere Rolle. Da die Prozesse und zu erfassenden Signale in der Praxis analoger Natur sind, entsteht die Notwendigkeit, über entsprechende Sensoren und Analog-Digital-Wandler den Einstieg in die digitale Signalverarbeitung zu ermöglichen. Andererseits bedingt die rechnergestützte Steuer- und Regeltechnik den Einsatz von Digital-Analog-Wandlern, um nach der digitalen Signalverarbeitung bzw.-übertragung mit entsprechenden Anpaßstufen die Stellglieder in technischen Prozessen zu betätigen. Eine prinzipielle Darstellung zeigt Bild 1.

Die Realisierung der Wandler in diskreter Form ist teuer und demzufolge wird in der BMSR-Technik eine Netzstruktur mit analoger Meßwerterfassung und -übertragung, zentraler AD-Umsetzung, digitaler Verarbeitung, DA-Wandlung und analoger Übertragung der Steuer- oder Regelgrößen eingesetzt werden. Mit der Bereitstellung billiger AD- und DA -Umsetzer in monolithischer oder hybrider Form werden diese Bauelemente in wachsendem Maße direkt den Meßstellen und Stellgliedern zugeordnet, so daß die Signalübertragung störsicherer in digitaler Form erfolgen wird.

Mit der Entwicklung des C 520 D ist ein erster Schritt in dieser Richtung erfolgt.

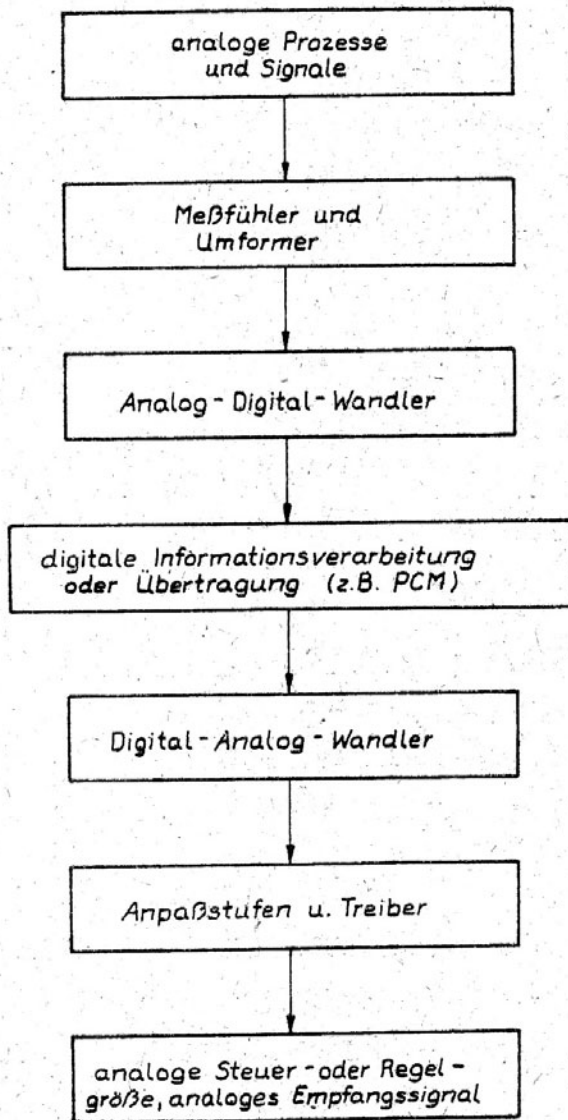


Bild 1

- Einsatz von AD- und DA-Wandlern -

2. VERFAHREN DER ANALOG-DIGITAL-WÄNDLUNG

An die AD-Wandler werden die unterschiedlichsten Forderungen gestellt. Im wesentlichen beziehen sie sich auf die Auflöserung, die von 6 bit ($2^6 = 64$ Stufen) bis zu hochpräzisen Wandlern bis 18 bit ($2^{18} = 262\ 144$ Stufen) und Umsetzraten von 1 Messung/sec. bis zu ultraschnellen Wandlern mit $100 \cdot 10^6$ Messungen/sec. reicht. Für die Realisierung werden verschiedene Verfahren eingesetzt, die im folgenden kurz erläutert werden. Tabelle 1 zeigt einen überschlägigen Vergleich anhand der wesentlichen Kennwerte. In /1/ werden die Verfahren ausführlicher behandelt.

Verfahren	maximale Schrittzahl	erforderliche Referenzelement	Geschwindigkeit	Aufwand
1. Zähl- methoden	n	1	gering	gering
2. Verfah- ren mit schrittwei- ser Annä- herung	ld n	ld n	mittlere bis schnell	mittel
3. Paral- lelverfah- ren	1	n	sehr schnell	groß
4. Kombina- tionen von Verfahren	je nach Kombination werden die unterschied- lichsten Bereiche abgedeckt			

Tabelle 1: Übersicht zu Verfahren der AD-Wandlung

2.1. Zählverfahren

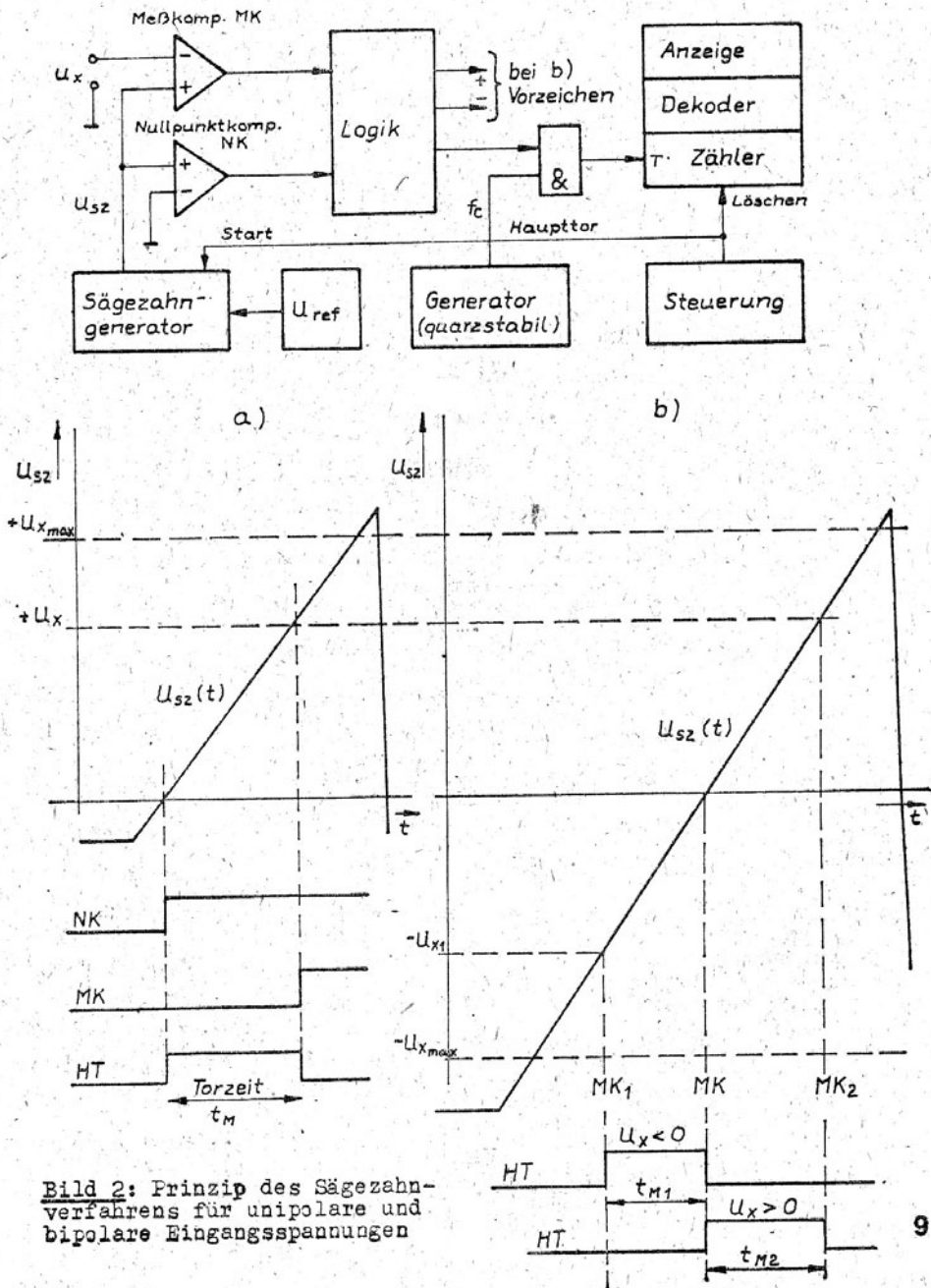


Bild 2: Prinzip des Sägezahnverfahrens für unipolare und bipolare Eingangsspannungen

Zu den seriellen oder Zählverfahren gehören :

- Sägezahnumsetzer (U/t)
- Zwei- und Mehrflankenintegrationsverfahren
- Spannungs-Frequenz-Umsetzer (U/f)
- Charge-Balancing-Verfahren

Im Bild 2 ist ein prinzipielles Blockschaltbild mit zwei möglichen Signalverläufen für das Sägezahnverfahren dargestellt.

Die Sägezahnspannung steuert den Nullpunkt- und Meßkomparator. Das Schalten der Komparatoren wird in der Logik in die Torzeit $t_M = K_1 \cdot U_x$, wobei K_1 durch die Steilheit der Sägezahnspannung festgelegt wird, umgesetzt. Die Zahl der Impulse, die während t_M durch das Haupttor auf den Zähler gelangen, stellen das Meßergebnis dar. Mit der Taktfrequenz f_c und der Steilheit der Sägezahnspannung wird die Umsetzerkennlinie festgelegt. Für bipolare Eingangsspannungen muß die Reihenfolge des Schaltens der Komparatoren in der Logik erfaßt werden, um die Vorzeichenausgabe zu realisieren. Schaltet der Meßkomparator vor dem Nullkomparator, dann ist die Eingangsspannung negativ. Schaltet zuerst der Nullkomparator ist sie positiv. Weil die Genauigkeit des Meßergebnisses durch viele Faktoren (Konstanz von U_{ref} , Linearität und Steilheit der Sägezahnspannung, Drift der Komparatoren, Stabilität der Taktfrequenz) beeinflußt wird, ist die Anwendung auf Systeme mit geringerer Auflösung beschränkt.

Das Verfahren realisiert keine interne Brummspannungsunterdrückung. Jede überlagerte Störspannung führt an den Schaltpunkten der Komparatoren zu Fehlern.

Im Bild 3 wird die prinzipielle Funktion des Zwei-Flanken-Integrationsverfahrens (Dual-Slope-Verfahren, Doppelintegrationsverfahren) gezeigt. Es gehört zu den am häufigsten in der Meßtechnik verwendeten Verfahren.

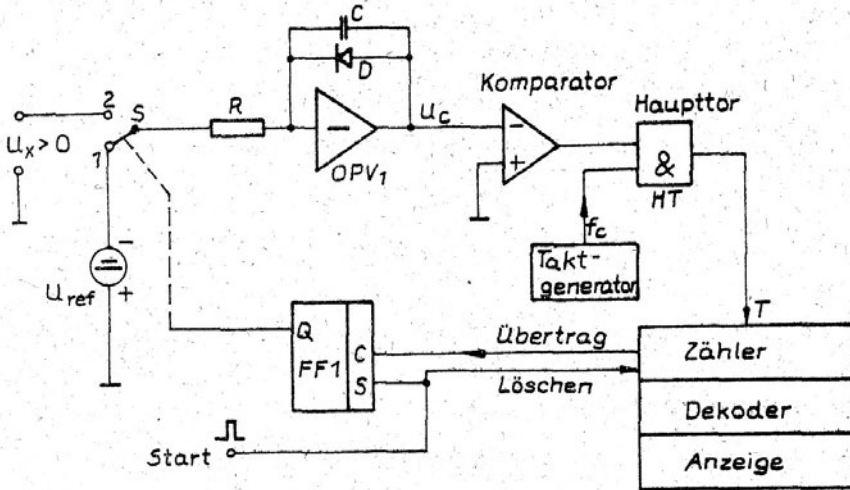
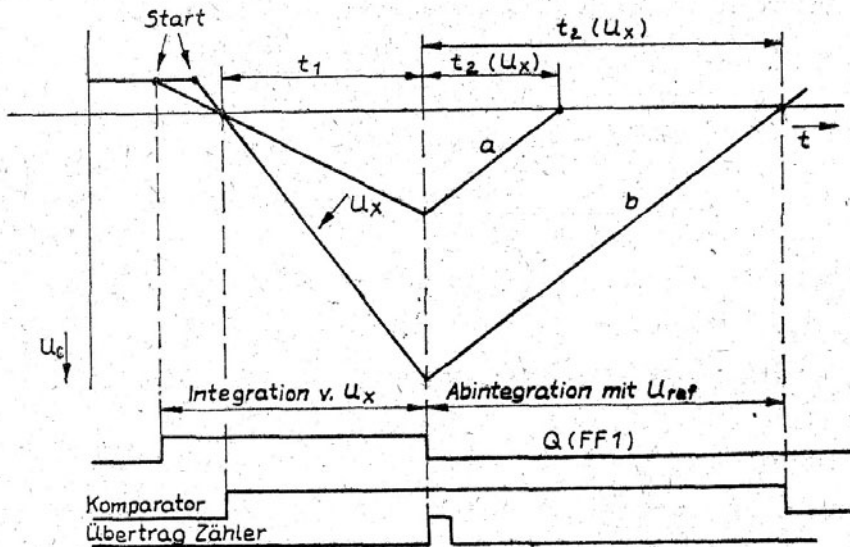


Bild 3: Prinzip des Zwei-Flanken-Integrationsverfahrens



Mit dem Startimpuls wird FF1 so gestellt, daß der Schalter S die Eingangsspannung zu dem als Integrator beschalteten OPV durchstellt. Gleichzeitig wird der Zähler, in dem das Ergebnis der vorangegangenen Umsetzung steht, zurückgesetzt.

Der Integrationskondensator C wird während t_1 über R aufgeladen. Durchläuft die Integratorspannung U_c den Nullpunkt, dann schaltet der Komparator und gibt das Tor für die Taktimpulse frei, die im Zähler aufsummiert werden. Gibt der Zähler einen Übertragsimpuls ab, wird FF1 so gesetzt, daß S auf die Referenzspannung umschaltet. Im Zähler steht zu diesem Zeitpunkt die Zahl 0 (Ausgabe des Übertragers wegen Erreichen des maximalen Zählerstandes $N + 1$ oder Zwangsrücksetzung bei Erreichen eines festgelegten Wertes). D.h., die erste Phase arbeitet mit einer festen Zeit t_1 , die von der Übertragsausgabe bzw. dem Zählerumfang und der Taktfrequenz festgelegt wird.

Die Ausgangsspannung am Integrator ergibt sich zu

$$U_{c1} = \frac{Q_c}{C} = \frac{1}{R \cdot C} \cdot \int_0^{t_1} U_x(t) \cdot dt$$

Für $U_x = \text{konstant}$ löst sich die Gleichung zu

$$U_{c1} = \frac{U_x \cdot t_1}{R \cdot C}$$

Die Integrationszeit t_1 wird meist so gewählt, daß sich ein ganzzahliges Vielfaches der Netzfrequenz ergibt, um eine möglichst gute Brummspannungsunterdrückung zu erreichen.

In der zweiten Phase wird die Kondensatorladung mit einem Konstantstrom abgebaut bis der Komparator das Erreichen von $U_c = 0 \text{ V}$ durch Sperren des Haupttores und Beenden der Zählung signalisiert.

Entsprechend der obigen Überlegung ergibt sich für den Ladezustand nach t_2 :

$$U_{c2} = \frac{1}{R \cdot C} \int_0^{t_2} U_{\text{ref}} \cdot dt$$

$$U_{c2} = \frac{U_{\text{ref}} \cdot t_2}{R \cdot C}$$

Durch Gleichsetzen erhält man

$$t_2 = \frac{U_x}{U_{\text{ref}}} \cdot t_1$$

D.h., die Werte für R und C fallen heraus. Der Zählerstand nach t_2 ergibt sich zu

$$Z = t_2 \cdot f_c = \frac{U_x}{U_{\text{ref}}} \cdot t_1 \cdot f_c$$

Die Zeit t_1 wird durch den Zählerumfang oder vorgewählten Zählerstand N und die Taktfrequenz f_c festgelegt.

$$t_1 = \frac{N}{f_c}$$

Setzt man das in die Gleichung für den Zählerstand Z ein, ergibt sich

$$Z = \frac{U_x}{U_{\text{ref}}} \cdot N$$

Das bedeutet, daß die Taktfrequenz nicht absolut sondern nur während $t_1 + t_2$ konstant zu halten ist. Damit genügen in den meisten Fällen einfache Generatoren den Anforderungen. Außerdem ist zu sehen, daß die Referenzspannungskonstanz im wesentlichen die Genauigkeit bestimmt.

Als Nachteil ist die verhältnismäßig lange Umsetzzeit zu nennen, so daß nur Signale, die sich langsam ändern verarbeitet werden können. Das Verfahren ist für Wandler mit Genauigkeiten bis 13 ... 14 bit bzw. $4^{1/2}$ Dekaden einsetzbar.

Erweiterung zu diesem Verfahren stellen die 3- und 4-Flankenintegrationsverfahren dar. Durch das Zufügen von weiteren ein oder zwei Integrationsphasen, bei denen z.B. die eigenen Offsetgrößen des Wandlers analog oder digital zwischengespeichert werden, erhält man AD-Umsetzer mit automatischer Nullpunkt-korrektur. Bei jedem Meßzyklus wird dabei die echte Differenz zwischen dem Meßwert und der darin enthaltenen Offsetgröße gebildet.

Mit dem Charge-Balancing-Verfahren (Ladungsausgleichsverfahren) können Umsetzer mit geringen Anforderungen an die Bauelemente realisiert werden. In den letzten Jahrgängen der " rfe " und " Nachrichtentechnik " sind dazu einige Artikel erschienen / 2, 3, 4/ .

2.2. AD-Wandlung mit dem Verfahren der sukzessiven Approximation

Für schnelle und mittelschnelle Umsetzer eignen sich serielle Wandler nicht. Einen Kompromiß hinsichtlich Aufwand und Geschwindigkeit stellt die sukzessive Approximation (schrittweise Annäherung) dar /5,6/.

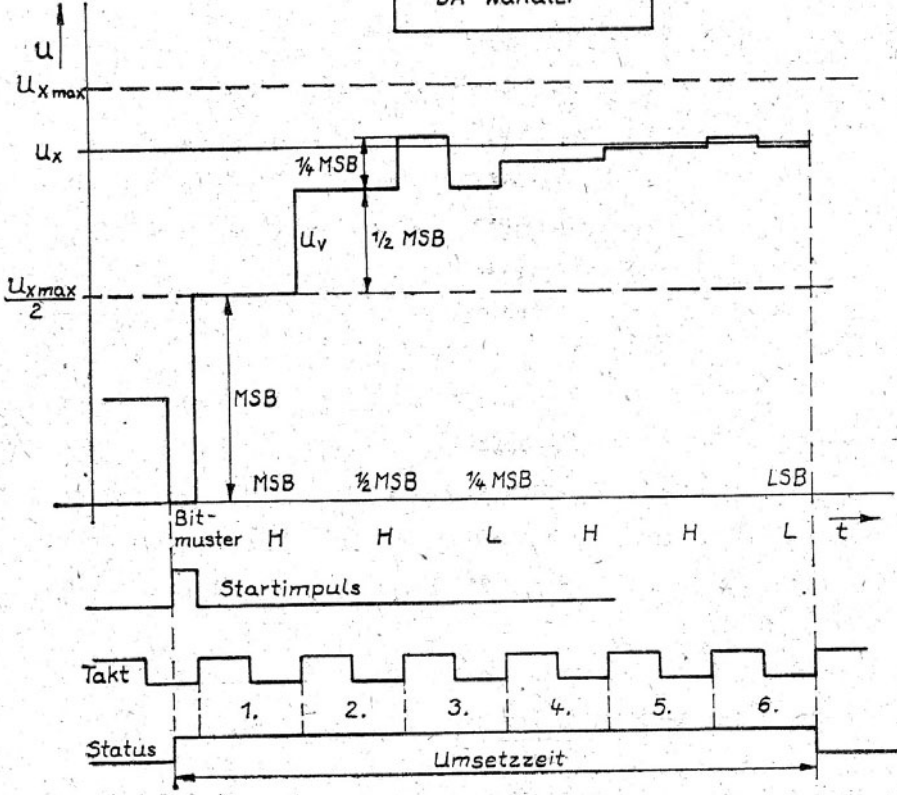
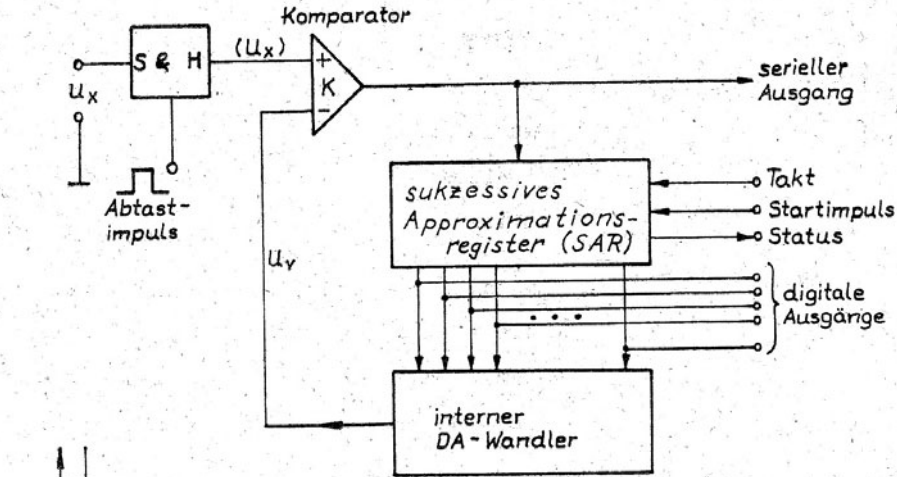


Bild 4: Prinzip der AD-Wandlung mittels sukzessiver Approximation

Der Wandler besteht aus einem Komparator, einem internen DA-Wandler und einer sukzessiven Approximationslogik. Die vorgeschaltete Sample & Hold-Stufe ist dann erforderlich, wenn U_x sich während der Umsetzzeit um $\geq 1/2$ LSB ändert. (LSB $\hat{=}$ least significant bit $\hat{=}$ kleinste unterscheidbare Amplitudenstufe; MSB $\hat{=}$ most significant bit $\hat{=}$ Stufe mit der höchsten Wertigkeit = $U_{x\max}/2$). Mit dem Startimpuls wird das Approximationsregister so gestellt, daß das MSB des DAU gesetzt wird und sich damit das Vergleichssignal U_v auf $U_{x\max}/2$ einstellt.

Der Komparator vergleicht U_x und U_v . Da für das MSB gilt: $U_v < U_x$ im gezeichneten Fall, liegt der Ausgang auf H, dann wird mit der nächsten H/L-Flanke des Taktes das MSB verriegelt, d.h., es bleibt gesetzt. Mit dem zweiten Taktimpuls wird MSB/2 eingeschaltet. Der Komparator vergleicht jetzt $MSB + 1/2 \cdot MSB < U_x$.

Der Komparatorausgang bleibt auf H liegen. Die Stufe $1/2$ MSB wird durch das SAR verriegelt - bleibt gesetzt. Mit dem dritten Taktimpuls wird zu den beiden höchstwertigsten Bits $1/4$ MSB dazugeschaltet. Es ergibt sich: $MSB + 1/2 MSB + 1/4 MSB > U_x$, d.h., mit der fallenden Taktflanke im dritten Takt wird im SAR der Eingang des DAU zurückgesetzt, da der Komparatorausgang auf L liegt. Dieser Vorgang wiederholt sich, bis das LSB abgearbeitet ist. Das Statussignal wird im SAR erzeugt. Es zeigt das Arbeiten des Wandlers mit H am Ausgang an.

Dieses Wandlungsprinzip kann sowohl hardwaremäßig als auch im Zusammenspiel mit einem Mikrorechner realisiert werden, wobei die Approximationslogik durch ein Programm ersetzt wird.

Der serielle Ausgang eignet sich in Verknüpfung mit dem Takt-signal und einer entsprechenden Synchronisation zur leitungs-sparenden Übertragung der digitalen Informationen. Das Ver-fahren ist gegenüber Störspannungen am Eingang während der gesamten Umsetzzeit empfindlich, wenn $U_{\text{Stör}} > \pm 1/2 \cdot \text{LSB}$ wird.

Mit der Bereitstellung des DAC 32, einem universellen 12 bit-DAU, vom Kombinat Keramische Werke Hermsdorf bietet sich hier für die wesentlichste Baugruppe eines 12 bit-DAU, der das Ver-fahren der sukzessiven Approximation einsetzt, eine Realisie-rung an.

Im folgenden soll ein Verfahren beschrieben werden, das eher zum Abschnitt 2.1. gehört, weil es sich um ein serielles Ver-fahren handelt. Die Struktur dieses Wandlertyps hat aber sehr viel Ähnlichkeit mit der sukzessiven Approximation.

Die Logik wird durch einen Vorwärts-Rückwärts-Zähler ersetzt.

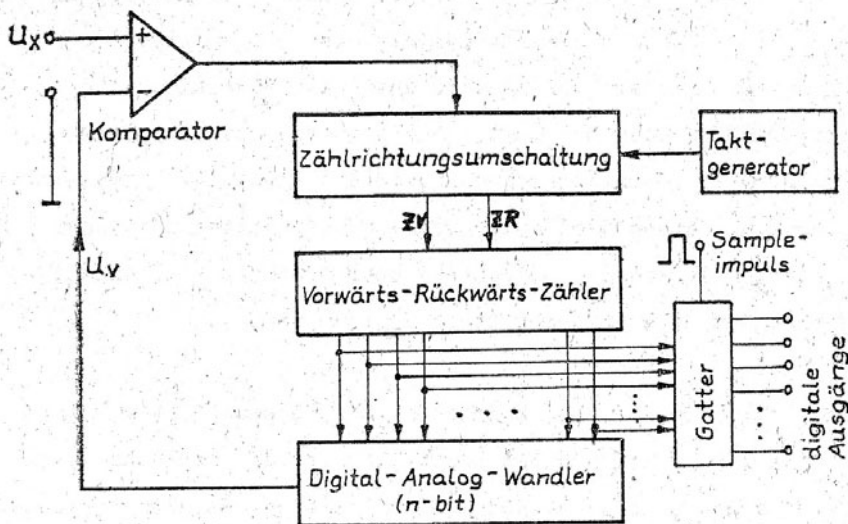
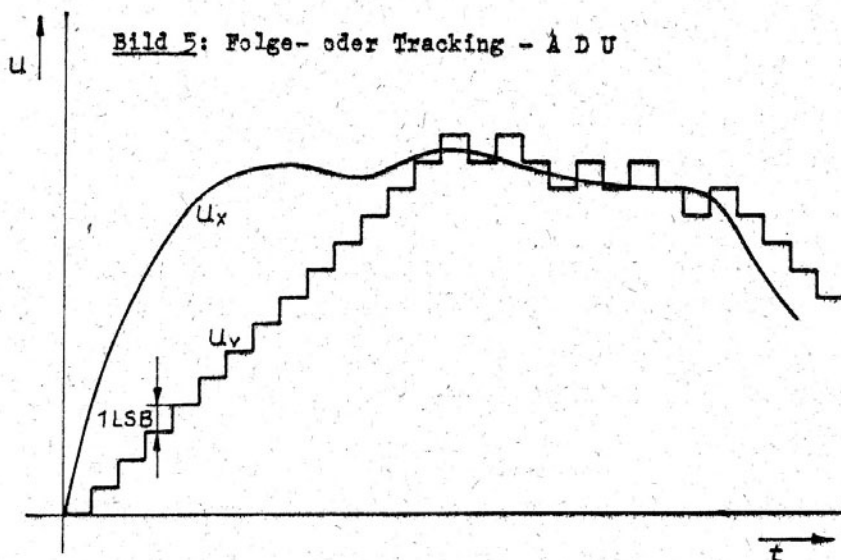


Bild 5: Folge- oder Tracking - A D U



Der Zähler wird vorwärts getaktet, d.h., die Ausgangsspannung des DAU U_v steigt, bis $U_v > U_x$ wird. Der Komparator kippt um und der Zähler wird rückwärts gezählt bis $U_v < U_x$ ist. Die Anstiegsfähigkeit von U_v wird durch die Höhe eines LSB und die Taktfrequenz bestimmt. Ohne weiteren Steuermechanismus folgt U_v der Eingangsspannung. Um ein stehendes Bitmuster zu gewinnen, werden die Zählerausgänge über Gatter und einen Sampleimpuls abgefragt. Es besteht aber auch die Möglichkeit, über eine Sample & Hold-Schaltung U_x abzufragen und zu speichern.

Um zu verhindern, daß bei konstanter Eingangsspannung das LSB ständig zwischen L und H wechselt, gibt es zwei Möglichkeiten. Entweder man versieht den Komparator mit einer Schalthysterese von $\pm 1/2$ LSB, oder es wird ein DA-Wandler verwendet, der eine um 1 Bit höhere Auflösung besitzt als digitale Ausgänge her- ausgeführt sind.

Ein besonders schnelles Umsetzverfahren wird mit Parallelwandlern realisiert. Sie werden auch als Flash-Converter bezeichnet.

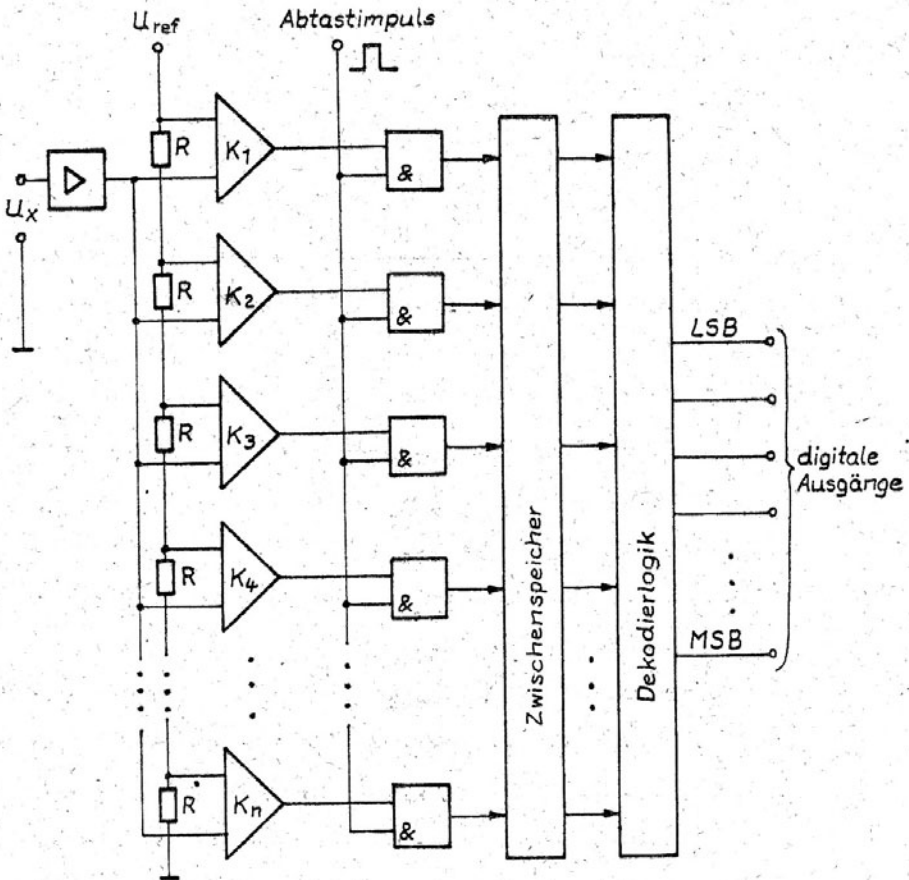


Bild 6: Blockschaltbild eines Parallelumsetzers /1/

Damit werden Umsetzraten bis 100 MHz und Auflösungen bis 9 bit (= 512 Amplitudenstufen) realisiert. Diese Wandler sind praktisch nur monolithisch oder hybrid zu verwirklichen, da die erforderliche Bauelementezahl sehr groß ist. Für einen Wandler mit m bit sind $2^m - 1$ Referenzelemente und Komparatoren erforderlich. Ein 8 bit ADU hat 255 Komparatoren. Die Referenzspannung wird mittels Teilerkette von $2^m - 1$ Widerständen so geteilt, daß die entstehenden Referenzwerte den einzelnen Stufenhöhen der Kennlinie entsprechen. Werden identische Widerstände in der Kette verwendet, so entsteht eine lineare Kennlinie. Mit unterschiedlichen Dimensionierungen für die Widerstände ist jede Art von nichtlinearer Kennlinie möglich. Das Eingangssignal wird über den Trennverstärker, an dessen Stelle auch eine Abtastschaltung verwendet werden kann, an die anderen Eingänge aller Komparatoren gelegt. Bei jeder Umsetzung liegen die Ausgänge der Komparatoren K_1 bis K_x auf H und die Ausgänge der restlichen Komparatoren K_{x+1} bis K_{n-1} auf L. Im Bild 6 nach /1/ wird die Abtastung digital mit den $2^m - 1$ Gattern realisiert.

Nach einer Zwischenspeicherung wird in der Dekodierlogik das Digitalwort mit m bit gebildet. Da die Verzögerungszeiten der vier Baugruppen, Komparatoren, Gatter, Zwischenspeicher und Dekodierlogik sehr klein gehalten werden können, werden diese hohen Umsetzraten erreicht. Diese Wandler benötigen bis auf die Abtastung keine Steuerung. D.h., bei einer Änderung von U_x schalten die Komparatoren automatisch auf den neuen Wert. Es ist auch möglich, die Abtastung und Zwischenspeicherung nach der Dekodierlogik anzuordnen.

Das verringert die erforderliche Bauelementezahl erheblich.
 Das trifft auch zu, wenn eingangsseitig eine *Abtastschaltung*
 für U_x verwendet wird.

3. KENNGRÖßEN und FEHLER bei AD- und DA-WANDLERN

Bevor die Darstellung des C 520 D erfolgt, erscheint es sinnvoll, die wesentlichen Parameterdefinitionen von AD- und DA-Wandlern zu erläutern, da es erfahrungsgemäß Unklarheiten bei einigen Kennwerten gibt und einige sowohl auf AD- als auch auf DA-Wandler zutreffen. Umfangreiche Darstellungen sind in /7/ und /8/ enthalten, wobei das IEC-Dokument /7/ die in Zukunft international übliche Festlegung der Definitionen und Formelzeichen enthält, die sich für die wesentlichen Kennwerte kaum ändern werden, obwohl das Dokument noch zur *Diskussion* steht. Die verwendeten Kurzzeichen für den C 520 D stimmen nicht in jedem Fall mit den in /7/ enthaltenen überein.

3.1. Auflösung

Sie wird in bit bzw. für dekadische Wandler in Digit angegeben

Binärwandler:

Bit	Stufenzahl	Auflösung (% vom Endwert)
6	$2^6 = 64$	1,6 %
8	$2^8 = 256$	0,39 %
10	$2^{10} = 1024$	0,098 %
12	$2^{12} = 4096$	0,024 %
14	$2^{14} = 16384$	61 ppm *
16	$2^{16} = 65536$	15 ppm *

BCD-Wandler :

Digit	Stufenzahl	Auflösung (% vom Endwert)
$2^{1/2}$	200	0,5 %
3	1000	0,1 %
$3^{1/2}$	2000	0,05 %
4	10000	0,01 %
$4^{1/2}$	20000	0,005 %

* ppm $\hat{=}$ Parts per million

Tabelle 2: Stufenzahl und Auflösung von Binär- und BCD-Wandlern

Die Auflösung für sich gesehen kann ein falsches Bild von der Güte des Wandlers vermitteln. Die Linearitätsfehler sind häufig größer als die Auflösung und sind unbedingt zu berücksichtigen.

Im Bild 7 ist die Übertragungskennlinie eines idealen 3 bit ADU und im Bild 8 die Wandlerkennlinie eines idealen 3 bit DAW dargestellt. Die wesentlichen Größen sind eingezeichnet.

LSB : (least significant bit), 1 LSB entspricht der analogen Auflösung und berechnet sich zu

$$1 \text{ LSB} = \frac{\text{FSR}_{\text{pr}}}{2^n - 1} = \frac{\text{FSR}_{\text{nom}}}{2^n}$$

n = Bitzahl des Wandlers

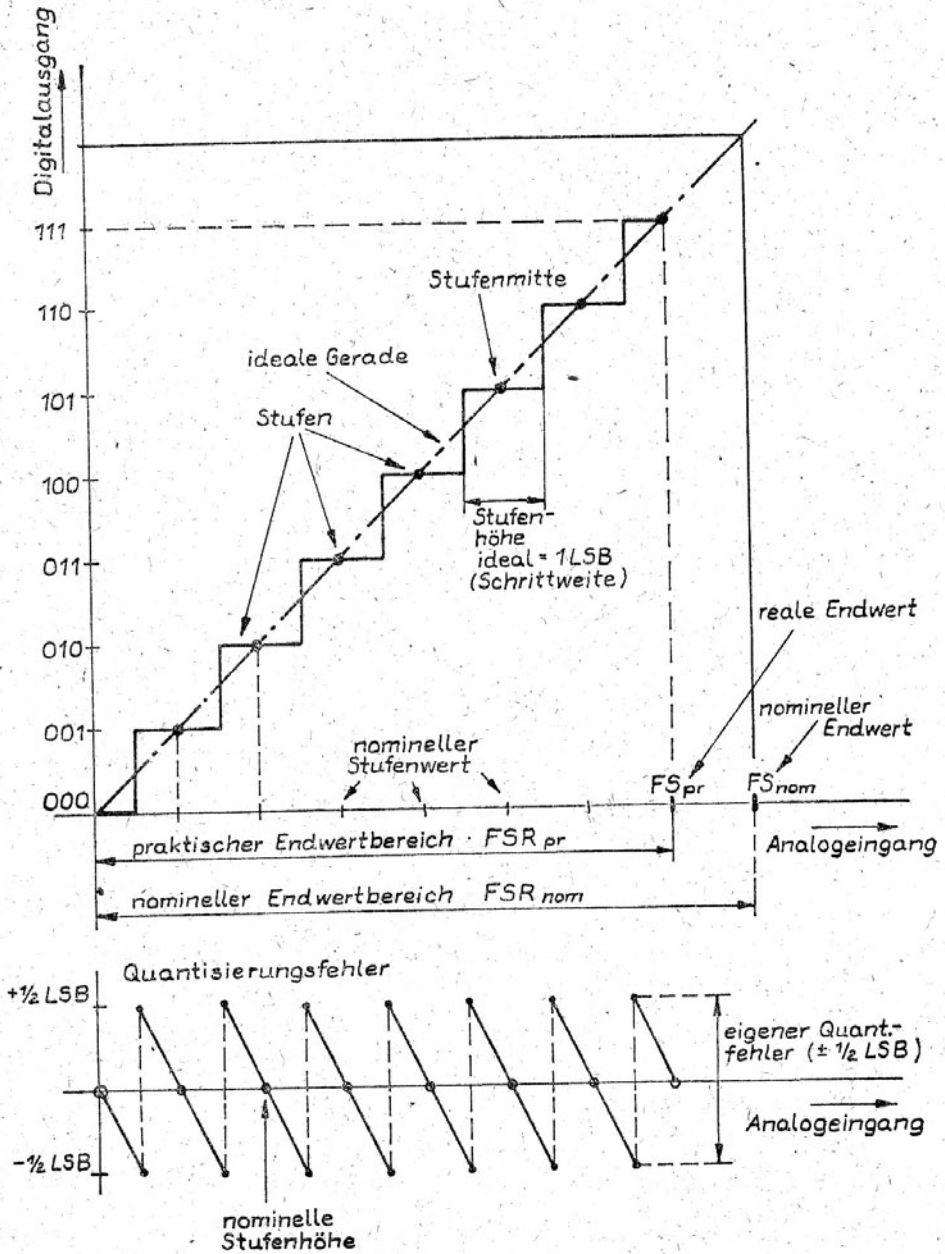


Bild 7: Übertragungskennlinie und Quantisierungsfehler eines idealen 3 bit ADU

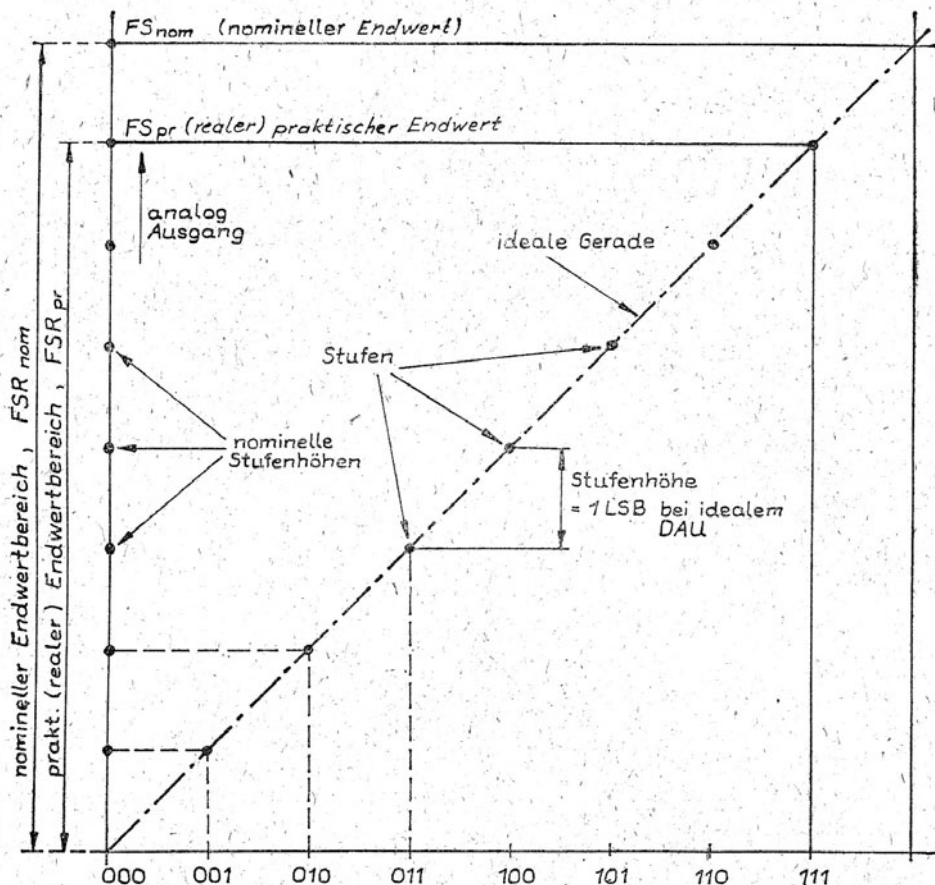


Bild 8: Übertragungseigenschaft eines idealen unipolaren 3 bit D/A digitale Eingänge

MSB : (most significant bit), das Bit mit der höchsten Wertigkeit

$$1 \text{ MSB} = \frac{FSR_{nom}}{2} = \frac{FSR_{pr} + 1 \text{ LSB}}{2}$$

LSD : (least significant digit), die Einerstelle (10^0) einer Dezimalzahl

MSD : (most significant digit), die höchstwertigste Dekade einer Dezimalzahl z.B. von 392 $\hat{=}$ MSD = 3×10^2

Der Quantisierungsfehler ist jedem AD-Wandler eigen und beträgt $\pm 1/2 \text{ LSB}$, Der Verlauf wird im Bild 7 gezeigt.

Ein- oder Ausgangsspannungsbereich (FSR)

Die Erklärung der Größen FS (full scale) = Endwert, FSR (full scale range) mit der Unterscheidung nominell und praktisch geht aus Bild 7 und 8 hervor.

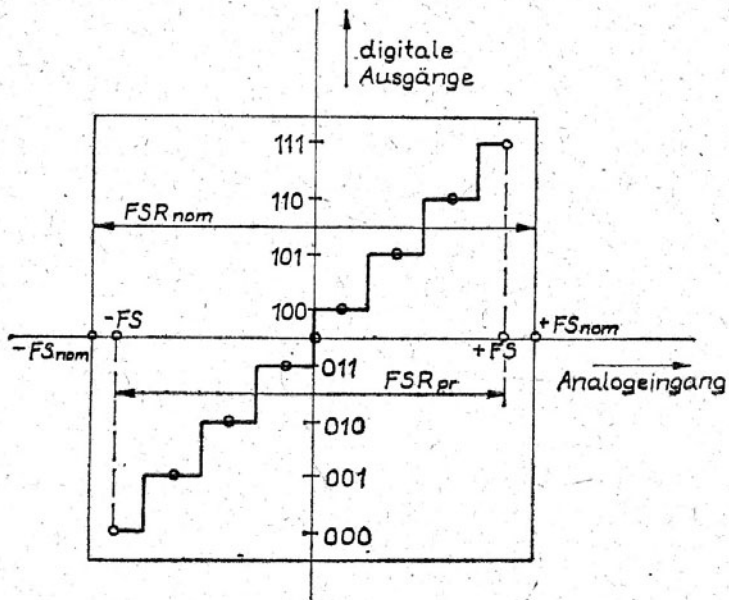
FS kennzeichnet den Endwert der Ein- oder Ausgangsspannung und FSR den Ein- oder Ausgangsspannungsbereich. $FS(R)_{pr}$ den unterscheiden sich um 1 LSB. Für einen idealen binären DAU gilt :

$$FSR_{pr} = (2^n - 1) \cdot \text{Stufenhöhe}$$

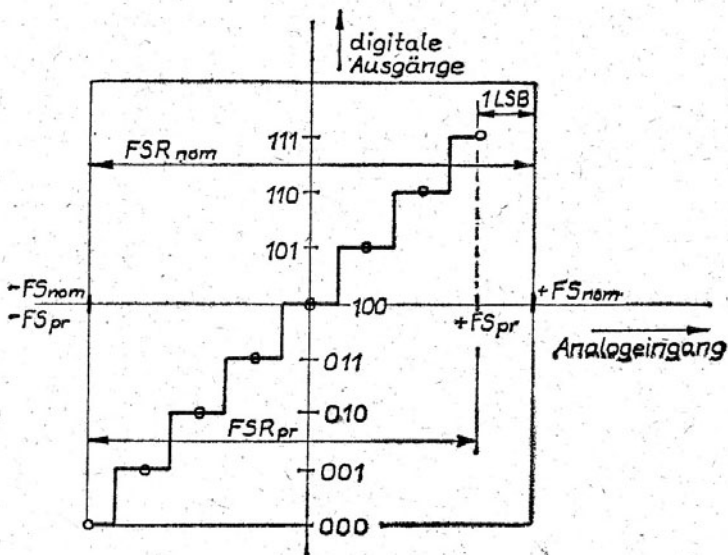
$$FSR_{nom} = 2^n \cdot \text{Stufenhöhe}$$

Für einen ADU ist der Begriff Stufenhöhe durch Schrittweite zu ersetzen. Diese Bezeichnung gilt für unipolare Ein- oder Ausgangsspannungen. Für Wandler mit bipolaren Ein- oder Ausgängen ist der positive (FS_+) und der negative (FS_-) Endwert zu definieren. Für nullsymmetrischen Betrieb gilt: $FS_+ = FS_-$. Im Bild 9 wird der um Null symmetrische und unsymmetrische Betrieb mit der Verschiebung der Kennlinie um $1/2$ LSB gezeigt.

Bild 9: Abgleichvarianten für bipolare Ein- oder Ausgangsspannungen



a) symmetrischer Betrieb um Null



b) unsymmetrischer Betrieb, um Null

3.2. Kennlinienfehler und Linearität

Im folgenden sollen die verschiedenen Fehlerarten von Wandlern näher erläutert werden.

Monotonie : Sie kennzeichnet den Verlauf der Ausgangsspannung eines DA-Wandlers. Monotonie verlangt, daß mit steigender digitaler Eingangsbit-Kombination die Ausgangsspannung ansteigt. Jedes Absinken der Kennlinie ist ein Monotoniefehler. (Bild 10b). Ein Wandler mit einem Linearitätsfehler von $\pm 1/2$ LSB ist zwangsläufig monoton.

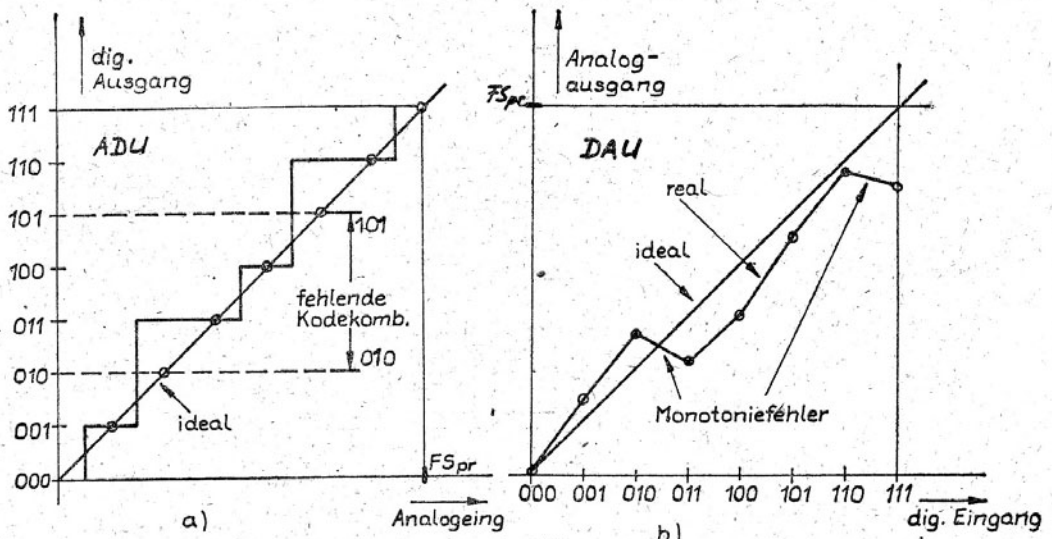


Bild 10: Monotoniefehler und fehlende Kodewortkombinationen bei ADU und DAU

Fehlcodes : Sie kennzeichnen das Verhalten eines AD-Wandlers, bei dem mit der Erhöhung der Eingangsspannung bestimmte Kodekombinationen übersprungen werden. Dieser Fehler kann z.B. beim Über- oder Unterschreiten von Temperaturwerten auftreten und bei normaler Raumtemperatur nicht nachweisbar sein.

(Bild 10 a) Sie entsprechen Monotoniefehlern bei DA-Wandlern.

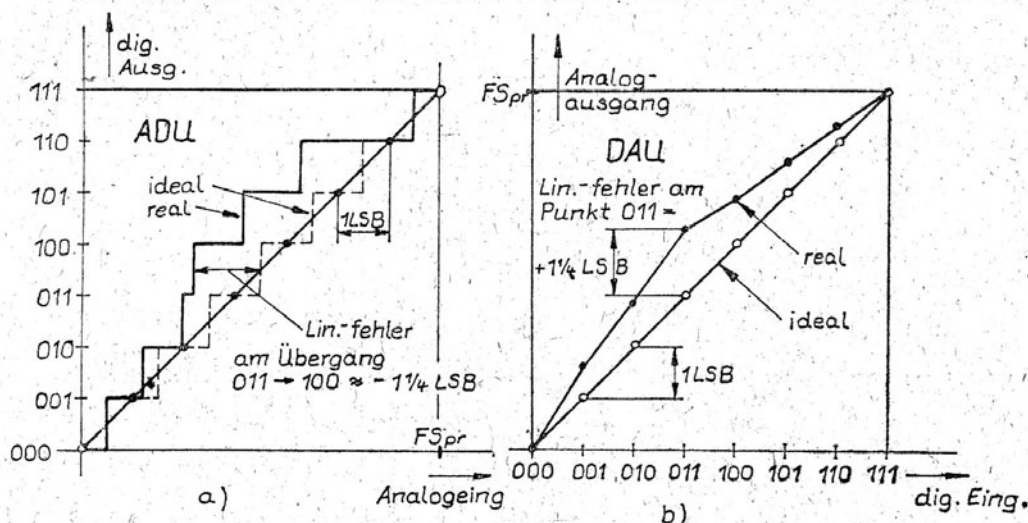


Bild 11: Linearitätsfehler von abgeglichenen ADU und DAU

Linearität : Sie kennzeichnet die Abweichung der realen Wandlerkennlinie von der idealen. Bild 11 a und 11 b zeigen entsprechende Kennlinienverläufe für abgeglichene 3 bit ADU und DAU. Die Angabe erfolgt in der Regel in x LSB oder in x % von FS (x % vom Endwert). Dabei ist zu beachten, daß n -bit Wandler mit einem Linearitätsfehler von $> \pm 1/2$ LSB Monotoniefehler aufweisen können und genaugenommen keine n -bit sondern nur $(n - 1)$ oder $(n - 2)$ bit-Wandler sind. (Kurzzeichen für Linearitätsfehler laut IEC = E_L (error linearity))

Differentielle Nichtlinearität : (Kurzzeichen laut IEC für den differentiellen Nichtlinearitätsfehler = E_D). Damit wird das Übergangsverhalten der Kennlinie von der Stufe $m \rightarrow m + 1$ bzw. $m \rightarrow m - 1$ beschrieben.

$$E_D = \text{reale Stufenhöhe (Schrittweite)} - 1 \text{ LSB}$$

$$E_D = \text{reale Stufenhöhe (Schrittweite)} - \frac{FSR_{nom}}{2^n}$$

Die dazugehörige Darstellung für einen 3 bit ADU und DAU zeigt Bild 12

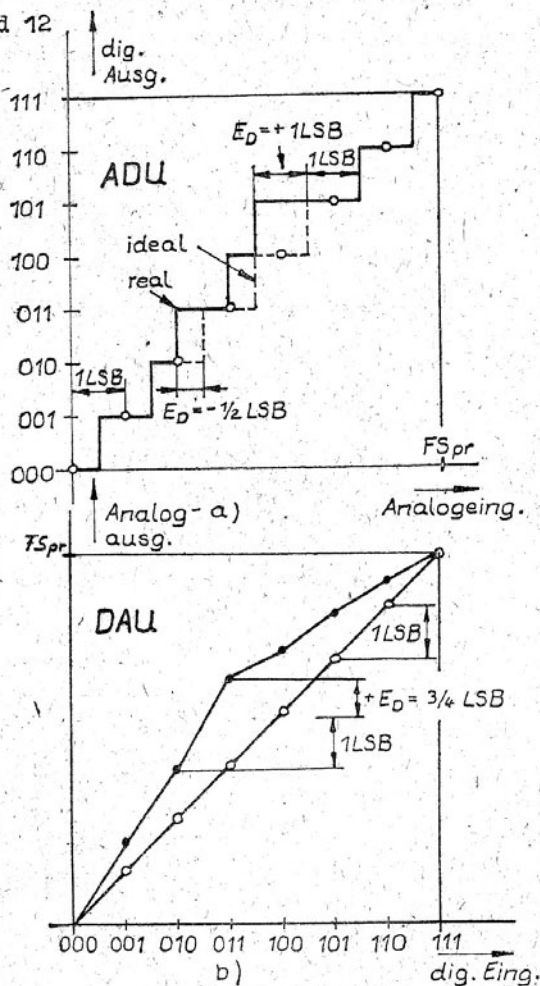


Bild 12: Darstellung der differentiellen Nichtlinearität von ADU und DAU

Für alle Wandler, die mit einem internen DA-Wandler arbeiten, sind die Stellen um das MSB, $1/2$ MSB, $1/4$ MSB und Kombinationen der höchstwertigsten Stufen besonders kritisch hinsichtlich dieser Fehlerart.

Der Einsatz eines Wandlers erfordert in der Regel die Koorektur von zwei Fehlern :

- Offset- oder Nullpunktfehler E_0
- Verstärkungs-, Steilheits- oder Endwertfehler E_G

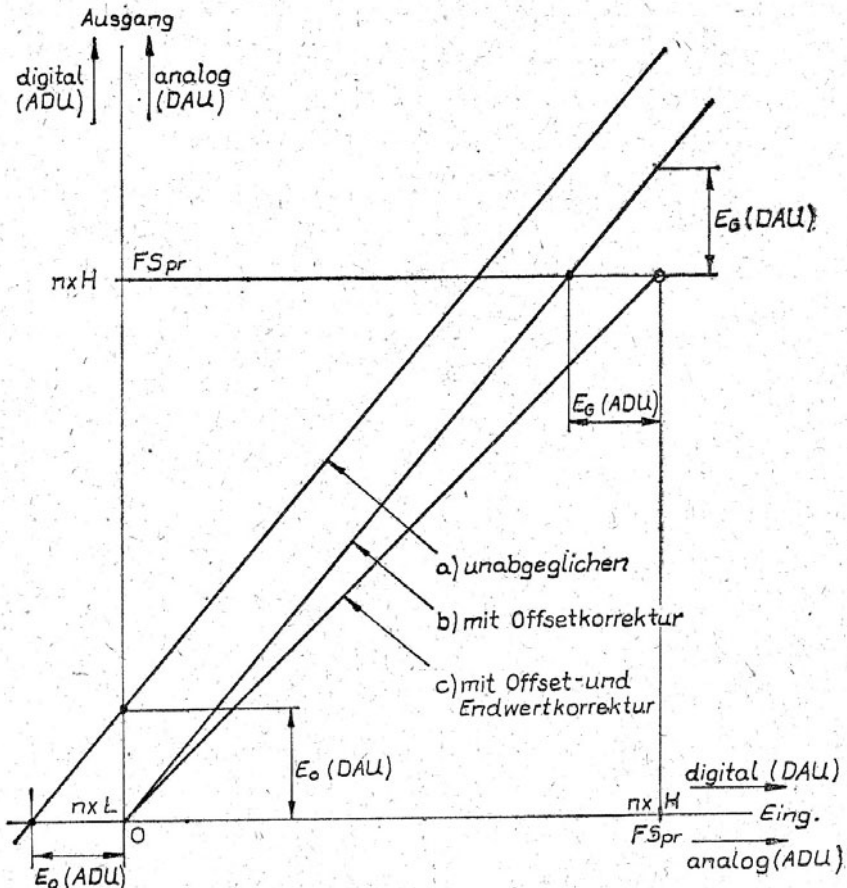


Bild 13: Wirkung von Offset- und Endwertabgleich bei AD- und DA-Wandlern

Im unabgegleichenen Zustand weist der Wandler beide Fehler auf (a). Zuerst erfolgt mit $U_i = 0$ V oder $n \times 0$ an den Digitaleingängen die Nullpunktkorrektur (b) und danach der Endwertabgleich (c = ideal). Da die Kennlinien in der Regel neben den beiden Fehlern E_0 und E_G einen Linearitätsfehler E_L aufweisen, z.B. einen "Bauch" über dem gesamten Kennlinienbereich kann es zur Minimierung des gesamten Umsetzfehlers günstig sein, den Abgleich zwar am Nullpunkt aber nicht am Kennlinienende (FS) vorzunehmen. Im Bild 14 ist dieser Abgleich skizziert.

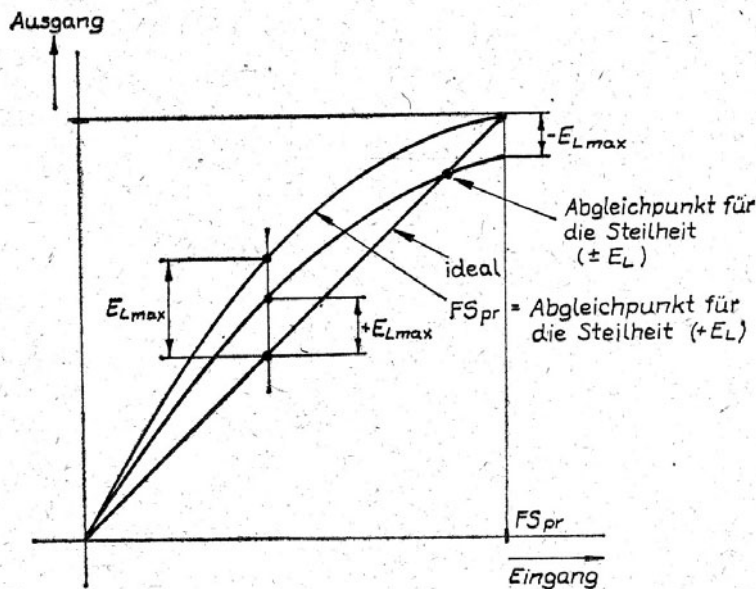


Bild 14: Wandlerabgleich zur Minimierung des Linearitätsfehlers E_L

Statt eines rein positiven Linearitätsfehlers erhält man auf diese Weise einen positiven und negativen Fehleranteil. Diese Methode wird auch dann angewendet, wenn in einem ganz bestimmten Kennlinienbereich präzise gemessen werden soll.

Umsetzzeit : Sie gibt an, wie lange der AD-Wandler benötigt, um eine vollständige Meßwertumsetzung bis zur Ausgabe des Digitalwortes vorzunehmen. Für Wandler mit sukzessiver Approximation beginnt die Zeit mit der Vorderflanke des Startimpulses und endet mit der Rückflanke des Statussignals. Für langsame ADU wird meistens die Umsetzrate in Messungen/sec. angegeben. Dabei ist nicht in jedem Fall

$$\text{Umsetzrate} = \frac{1}{\text{Umsetzzeit}}$$

da Wandler mit synchronisierter Auslösung der Meßwertumsetzung Totzeiten aufweisen können.

Einschwingzeit ($t_s =$ settling time) : Sie ist ein Maß für die Geschwindigkeit eines DA-Umsetzers und gibt die Zeit an, die der Wandler benötigt, um nach dem Anlegen einer digitalen Eingangsbitkombination den Strom- oder Spannungsausgang des Wandlers auf den neuen Wert $x \pm 1/2 \cdot \text{LSB}$ einzustellen.

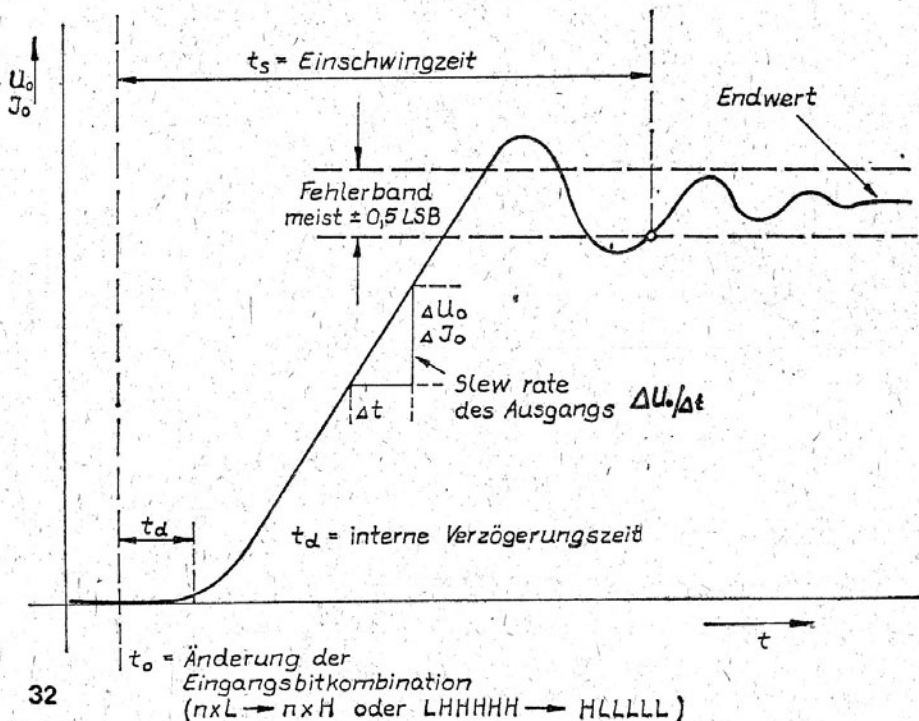


Bild 15: Definition der Einschwingzeit

Die Einschwingzeit kann für zwei verschiedene Sprungfunktionen angegeben werden.

- Änderung um den maximal möglichen Ausgangshub, d.h., Änderung der Digitaleingänge von $n \times L$ auf $n \times H$
- Änderung des Ausgangshubes um 1 LSB an der Stelle des MSB LHHHHH \rightarrow HLLLLL (MSB - 1 LSB \rightarrow MSB)

Die zweite Definition liefert in der Regel etwas kürzere Einschwingzeiten.

Glitch : Störnadeln im Ausgangssignal eines DAU, die durch unterschiedliche Ein- und Ausschaltzeiten z.B. der Stromquellenumschalter erzeugt werden. Je nachdem, welche der beiden Zeiten länger oder kürzer ist, entstehen positive oder negative Störnadeln.

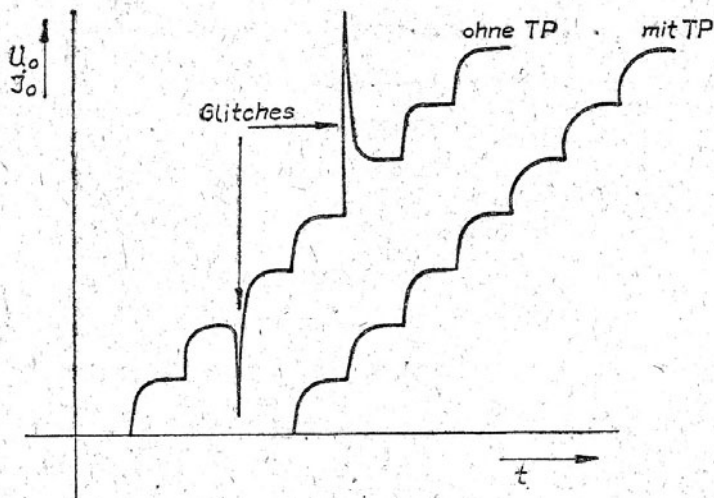


Bild 16: Ausgangstreppenfunktion eines DAU mit und ohne Glitches

Verursachen diese Glitches Störungen in nachfolgenden Systemen, dann kann z.B. der Ausgangs-OPV des Wandlers als Integrator beschaltet werden, der die Störungen eliminiert.

Temperaturverhalten : Der Temperaturkoeffizient (TK) wird in der Regel für drei Kennwerte des Wandlers angegeben

- TK vom Nullpunkt (Offset) in $\mu\text{V}/^{\circ}\text{C}$ oder in $\text{ppm}/^{\circ}\text{C}$ $\text{TK}(E_0)$
- TK vom Endwert (Verstärkung) in $\text{ppm}/^{\circ}\text{C}$ bezogen auf den Endwert $\text{TK}(E_G)$
- TK des Linearitätsfehlers $\text{TK}(E_T)$ in $\text{ppm}/^{\circ}\text{C}$

Bei Wandlern mit automatischer Nullpunktkorrektur (auto-zero) kann die Offsetdrift in den meisten Fällen vernachlässigt werden.

Kodearten : $L \hat{=} \text{Low}$, $H \hat{=} \text{high}$

- Binärkode : Nullpunkt : $n \times L$
Endwert : $n \times H$
Ausgangsspannung: unipolar
- Komplementär-Binärkode: CB oder CBIN
Nullpunkt : $n \times H$
Endwert : $n \times L$
Ausgangsspannung : unipolar
- Offset-Binärkode : OB oder OBIN
Ausgangsspannung bipolar
(entsprechend Bild 9 a) oder 9 b))
 $n \times L$ liefert $-FS_{pr}$
 $n \times H$ liefert $+FS_{pr}$

- Komplementär-Offset-Binärkode: COB oder COBIN

Ausgangsspannung : bipolar

$n \times H$ liefert $-FS_{pr}$

$n \times L$ liefert $+FS_{pr}$

Roll over Fehler : Eine Angabe für AD-Umsetzer mit bipolaren Eingangsspannungsbereichen. Fehler, der beim Umpolen der Eingangsspannung in der Anzeige entsteht.

Beispiel : abgeglichen bei $U_i = +1,999$ V

umpolen ergibt $U_i = -1,999$ V

angezeigt werden z.B. $-1,997$ V

Roll over Fehler = 2 mV = 2 LSB

Betriebsspannungsunterdrückung : SVR (supply voltage rejection)

$$SVR \text{ (dB)} = 20 \cdot \lg \frac{\Delta U_s}{\Delta FS_{pr}}$$

Dieser Kennwert wird auch häufig als Empfindlichkeit gegenüber Betriebsspannungsänderungen angegeben und lautet dann

prozentuale Änderung von FS_{pr} pro 1 Prozent
Betriebsspannungsänderung $\left[\% \Delta FS_{pr} / \% \Delta U_s \right]$

Gleichtaktunterdrückung : CMR (common mode rejection)

$$CMR \text{ (dB)} = 20 \cdot \lg \frac{\Delta U_{CM}}{\Delta \text{Anzeige}}$$

Bei AD-Wandlern werden beide Eingänge kurzgeschlossen (Anzeige = 0) und um U_{CM} gegenüber Betriebsspannungsmasse angehoben oder abgesenkt. Die Änderung der Anzeige ist der Bezugswert. Dabei ist zu beachten, daß bei integrierenden ADU der Gleichtaktbereich durch die Betriebsspannung, den maximalen Hub am Integrationskondensator und den notwendigen Arbeitsbe-

bereich der Schaltung bestimmt ist. D.h., durch die Festlegung von U_s und der externen Bauelemente kann Einfluß auf den zulässigen Gleichakteingangsspannungsbereich genommen werden.

Am Schluß der Begriffserläuterung sollen noch zwei oft auftauchende Bezeichnungen genannt werden.

Nichtlineare AD- und DA-Wandler :

Das sind Wandler, mit speziellen gekrümmten oder stückweise linearen zusammengesetzten Kennlinien wie sie z.B. in der PCM - Technik zur Digitalisierung von Sprachsignalen eingesetzt werden (Kompanderkennlinien), um über einen bestimmten Dynamikbereich ein etwa konstantes Signal-Rausch-Verhältnis zu realisieren.

Multiplizierende DA-Wandler :

Diese DA-Umsetzer haben einen Referenzspannungseingang, dessen U_{ref} in weiten Grenzen variiert werden kann. Die Ausgangsspannung ergibt sich zu

$$U_o = U_{ref} \cdot N \quad (N = \text{angelegtes Digitalwort})$$

Je nach Auslegung des Wandlers werden sie nach 1-, 2- oder 4-Quadranten-Multiplikation unterschieden. Für NF-Signale sind sie als digital steuerbar Dämpfungssteller einsetzbar.

4. ALLGEMEINE KENNZEICHNUNG des C 520 D

Der C 520 D des VEB Halbleiterwerk Frankfurt(Oder) ist der erste monolithische Analog-Digital-Wandler, der in der DDR gefertigt wird. In ihm sind alle wesentlichen Baugruppen eines Zwei-Flanken-Integrationsumsetzers enthalten. Er besitzt eine Auflösung von 3 Digit, das entspricht 1000 Stufen. Der Wandler zeichnet sich durch einen hohen funktionellen Integrationsgrad, einen geringen Leistungsverbrauch bei nur einer Betriebsspannung, die TTL-Bedingungen genügt, und vielseitige Einsatzmöglichkeiten aus. Die Funktion des Dual-Slope-Verfahrens wurde im Abschnitt 2. bereits erläutert. Die dort genannten Vor- und Nachteile treffen natürlich auch auf den C 520 D zu.

- Störspannungsunterdrückung in Abhängigkeit von der Signalintegrationszeit
- relative Unempfindlichkeit gegenüber Taktfrequenzschwankungen, da nur Kurzzeitstabilität während der AD-Wandlung zu fordern ist
- geringe Umsetzrate, die aber für meßwertanzeigende Systeme ausreicht.

Die Herstellung des C 520 D erfolgt mit einer I²L-Technologie. Diese Technologie eignet sich besonders für die Kombination von analogen und digitalen Funktionselementen auf einem Chip und zur Realisierung leistungsarmer Bauelemente. /9, 10/

Der C 520 D ist ein LSI-Bauelement mit mehr als 1200 Funktionselementen, die etwa zu 75 % dem Digitalteil und zu 25 % dem Analogteil zuzuordnen sind.

Der Wandler wurde speziell für meßwertanzeigende Systeme konzipiert, ist aber auch für meßwertverarbeitende Systeme z.B. auf der Basis von Mikrorechnern geeignet, da er über gemultiplizierte BCD-Ausgänge verfügt. Er ist für den Einsatz in der BMSR-Technik unter prozennahen Bedingungen auf Grund seiner Eigenschaften geeignet. Mit wenigen externen Bauelementen ist es möglich, ein digital anzeigendes Meßgerät für einen Bereich aufzubauen, wenn als Eingangsgröße Standard-BMSR-Signale zur Verfügung stehen. Er eignet sich als Ersatz von elektromechanischen Meßwerken. D.h., die Präzisionsmechanik kann durch wesentlich einfachere und billigere Montagetechnologien ersetzt werden.

Der C 520 D besitzt eine interne Referenzspannungs- bzw. Stromquelle und eine Taktversorgung. Dadurch wird der Einsatz des Wandlers wesentlich erleichtert. Er setzt eine Eingangsspannung von $U_i = -99 \text{ mV}$ bis $U_i = +999 \text{ mV}$ mit einer Auflösung von 1 mV in dekadenweise gemultiplizierte BCD-Worte um. Sein Linearitätsfehler beträgt maximal 0,1 % vom Meßwert ± 1 Digit.

Der Wandler verfügt über eine automatische Polaritäts- und Überlauferkennung. Es erfolgt eine entsprechende Ausgabe von Sonderzeichen, um diese Zustände nach außen zu signalisieren. Für die Meßwertverarbeitung ist besonders die Wahl zwischen drei verschiedenen Betriebsarten von Interesse.

- langsame Wiederholrate
- schnelle Wiederholrate
- Hold-Betrieb (digitale Speicherung)

Im Hold-Betrieb wird der zuletzt aufgenommene Meßwert gespeichert und ständig ausgegeben. Die Versorgung des Schaltkreises erfolgt mit einer Betriebsspannung von $U_S = + 5 \text{ V} \pm 10 \%$ und paßt damit zu TTL-Systemen ($U_S = + 5 \text{ V} \pm 5 \%$).

Sein Leistungsverbrauch ist gering. Die externe Bauelementezahl wird besonders gering, wenn ein Umsetzer mit dreistelliger LED-Anzeige mit gemeinsamer Anode verwendet wird.

5. FUNKTIONSWEISE DES C 520 D

Der Wandler arbeitet nach dem Prinzip der Zwei-Flanken-Integration. Nach der Herstellung des Ausgangszustandes des Systems wird während einer festen Meßzeit t_1 das zu messende Eingangssignal aufintegriert. Diese Zeit ist in der Regel durch den Zählumfang des internen Zählers und die Taktfrequenz f_c festgelegt. In der zweiten Phase wird die aufgeladene Integrationskapazität durch einen Referenzstrom entgegengesetzt der Polarität bis zum Erreichen des Referenzpegels am Komparator entladen. Die dazu erforderliche Zeit ist proportional zum Eingangssignal. Da beide Phasen durch die gleiche Taktfrequenz ausgezählt werden, verbleiben nur die Schwankungen innerhalb des gesamten Meßzyklus als Fehler im Gegensatz zu den Spannungs-Zeit-Umsetzern nach dem Sägezahnverfahren, bei denen der Absolutwert der Taktfrequenz die Genauigkeit der Wandlung beeinflußt. Um eine Brummspannungsunterdrückung für 50 Hz zu realisieren, werden bei integrierenden AD-Wandlern der Zählerumfang und die Taktfrequenz so gewählt, daß die Integrationszeit für die Eingangsspannung $n \times 20 \text{ ms}$ beträgt und damit genau eine bzw. n über-

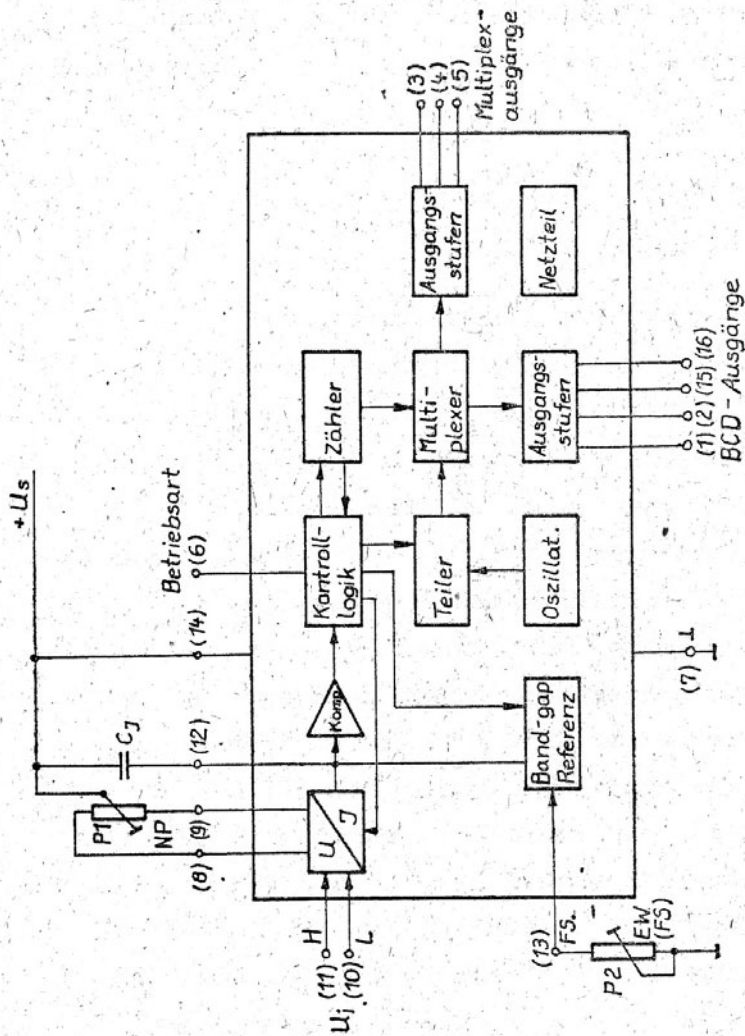


Bild 17: Blockschaltbild des C 520 D

lagerte 50 Hz-Schwingungen erfaßt werden. Beim C 520 D wird das Eingangssignal etwa über 1 ms aufintegriert.

Damit hat das Bauelement verfahrenstechnisch keine Brummspannungsunterdrückung.

Das Blockschaltbild des C 520 D ist im Bild 17 enthalten.

Er besteht im wesentlichen aus folgenden Baugruppen

1. Spannungs-Strom-Wandler
2. Komparator
3. Band-gap-Referenzquelle
4. Ringoszillator
5. Teilerkette
6. Zähler mit Zusatzlogik
7. Kontroll- und Steuerlogik
8. Multiplexer
9. Digitalausgänge

5.1. Der Spannungs-Strom-Wandler

Die an den Eingängen pin 10 und 11 angelegte Spannung wird in dieser Stufe in einen Strom umgesetzt, mit dem der am pin 12 angeschlossene Integrationskondensator C_I in der 1. Phase der AD-Wandlung aufgeladen wird. Dieser Wandler besteht im wesentlichen aus einem Differenzverstärker mit einer Darlington-Eingangsstufe und vorgeschaltetem Substrat-Transistor zur Minimierung der Eingangsströme. Die Speisung des Differenzverstärkers erfolgt über eine Reihe von Stromquellen. An dem Differenzverstärker erfolgt der Nullpunktgleich des Wandlers entsprechend einem Offsetabgleich eines OPVs über die pins 8 und 9. Durch zusätzlich eingespeiste Ströme in die beiden Zweige des Differenzverstärkers wird er einseitig abgeglichen bzw. um einen gewünschten Betrag im Nullpunkt verschoben. Die beiden Eingänge des C 520 D sind durch interne Schutzmaßnahmen bis ± 15 V, bezogen auf Betriebsspannungsmasse pin 7 geschützt.

5.2. Komparator

Der Ladezustand der Integrationskapazität wird mit dem Komparator ausgewertet. Er schaltet beim Erreichen seiner Schwellspannung, die etwa bei $U_S - U_{BE}$ (4,3 V) liegt, um und startet bzw. stoppt über Schalttransistoren die Taktung der Zählkette, je nachdem welche Phase der AD-Wandlung abgearbeitet wird. Der Komparator gehört zum Analogteil des C 520 D. Seine Ausgangspegel betragen für low ≈ 50 mV, für high ≈ 660 mV und sind damit I²L-gerecht. Zwischen Komparator und Logikteil sind keine Anpaßstufen erforderlich.

5.3. Band-gap-Referenzquelle

In der Bipolartechnik werden als Referenzelemente in zunehmendem Maße Band-gap-Quellen zur Bereitstellung von Referenzpegeln, wie z.B. im B 260 D, C 520 D eingesetzt. Für separate Spannungsreferenzen mit niederohmigem Ausgang finden sie ebenso Verwendung wie als Referenzspannung in programmierbaren oder Festspannungsreglern. Das Temperaturverhalten der Referenzspannung wird im wesentlichen durch das Emitterflächenverhältnis zweier Transistoren und durch das darauf angepaßte Verhältnis zweier Widerstände bestimmt. Theoretisch kann der TK der Referenzspannung durch die exakte Anpassung des Flächenverhältnisses der Transistoren und des Widerstandsverhältnisses zu Null gemacht werden. Bedingt durch technologische Unsicherheiten und Parameterschwankungen kann ohne Abgleich der Widerstände dieses angepaßte Verhältnis kaum erreicht werden. Es bleibt ein TK von bis zu $\approx \pm 100 \text{ ppm}/^{\circ}\text{C}$ für unabgegliche Band-gap-Quellen. Besteht die Möglichkeit, Widerstände auf dem Chip abzugleichen, kann das Widerstandsverhältnis auf das Flächenverhältnis angepaßt werden und der TK bis auf etwa $10 \text{ ppm}/^{\circ}\text{C}$ gesenkt werden. Eine Abgleichmöglichkeit besteht bei diffundierten Widerständen nur bedingt.

Im C 520 D wird mit einer unabgeglichenen Band-gap-Quelle ein Referenzstrom erzeugt, der in der zweiten Phase der Wandlung die aufgeladene Integrationskapazität entlädt, bis die Schwellspannung des Komparators erreicht wird. Mit dem am pin 13 angeschlossenen Endwertpotentiometer P 2 wird direkt das Widerstandsverhältnis der Band-gap-Referenz beeinflußt und damit auch die Höhe des Referenzstromes.

Dadurch kann die Wandlerkennlinie in ihrer Steilheit variiert und der Endwert (FS.) abgeglichen werden.

Nachteilig daran ist, daß mit dem Potentiometer P 2 direkt in das den TK beeinflussende Widerstandsverhältnis eingegriffen wird. D.h., der Endwertabgleich des C 520 D beeinflußt auch dessen Temperaturverhalten. Im Bild 18 ist ausschnittsweise die Referenzquelle mit dem Abgleichpin 13 gezeigt.

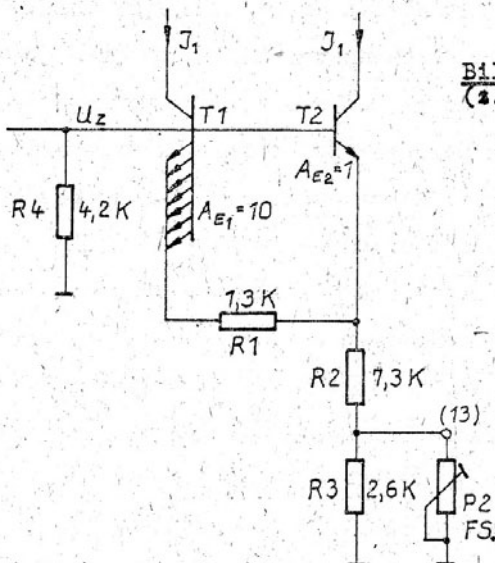


Bild 18: Band-gap-Referenz (z.z.) mit Endwertabgleich

Die temperaturstabile Spannung U_Z berechnet sich zu

$$U_Z \approx 1,21 \text{ V} + \left(2 \cdot \frac{R_2 + R_3 \parallel P2}{R_1} \cdot \frac{k}{q} \cdot \ln \frac{A_{E1}}{A_{E2}} - 0,002 \right) \cdot \vartheta$$

k - Boltzmann-Konstante

q - Elementarladung

Der Term in der Klammer muß gegen 0 gehen, um in erster Näherung den Temperatureinfluß auf U_Z zu eliminieren.

Die restlichen Funktionseinheiten gehören zum Digital- und damit zum I²L-Teil des C 520 D, wenn man von den Ausgangstransistoren der Digitalausgänge absieht.

5.4. Oszillator

Er besteht aus einem 9-stufigen Ringoszillator, dessen Taktfrequenz stark vom Injektorstrom der I^2L -Gatter und damit von den internen Verzögerungszeiten abhängt. Zwischen einzelnen Bauelementen sind Taktfrequenzschwankungen von 0,2 bis 1,3 MHz möglich. Da für den Oszillator aber nur Kurzzeitstabilität für Zeiten bis zu 5 ms zu fordern ist und der Absolutwert nur in die Wiederholrate eingeht, erfüllt er alle Anforderungen. Alle anderen Takte werden aus der Oszillatorfrequenz abgeleitet, schwanken also ebenfalls in diesen weiten Grenzen. Den einfachen Aufbau des Oszillators zeigt Bild 19. T 10 dient zur Auskoppelung des Signals.

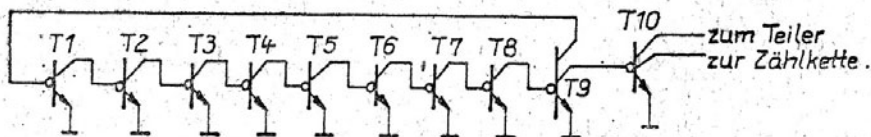


Bild 19: 9-stufiger Ringoszillator

5.5. Teiler

Der Teiler ist aus T-Flip-Flops in I^2L -Technik aufgebaut. Jedes T-Flip-Flop besteht aus sieben I^2L -Gattern mit ein bis drei Kollektoren. Der gesamte Teiler besteht aus 19 Flip-Flops, die aus der Taktfrequenz des Oszillators, die direkt den Meßwertzähler ansteuert, zusätzlich die Takte für die Multiplexierung und die zeitliche Steuerung der Integrationszyklen bereitstellt. Nach 12 bzw. 13 Teilern erfolgt der Abgriff für den Multiplextakt und für die Steuertakte der Integrationszyklen in der schnellen Betriebsart. In den restlichen Teilerstufen erfolgt die Untersetzung für die langsame Betriebsart mit zwei bis sieben Messungen/sec.. Gegenüber der schnellen Wiederholrate erfolgt für die Meßwertaufnahme und -umsetzung eine Teilung um den Faktor 24.

5.6. Zähler mit Zusatzlogik

Der Zähler ist als synchroner $3^{1/2}$ -Dekadenzähler ausgelegt. Er ist aus D-Flip-Flops aufgebaut. Sein maximaler Zählerstand beträgt " 1999 ". Davon werden die letzten drei Dekaden zur Meßwernerfassung und die Tausenderstelle (MSD) zur Analyse des Vorzeichens herangezogen. Nach jeder Messung und Ausgabe wird der gesamte Zähler zurückgesetzt.

Die Aufintegrationsphase des Eingangssignals wird vom Zählerstand Null bis zur 880 festgelegt. Daraus ergibt sich eine Zeit t_1 von

$$\frac{880 \text{ Takte}}{0,2 \text{ MHz}} > t_1 > \frac{880 \text{ Takte}}{1,3 \text{ MHz}}$$

$$4,4 \text{ ms} > t_1 > 0,7 \text{ ms}$$

Die nachfolgenden 20 Takte werden für Umschaltvorgänge verwendet.

Der negative Meßbereich von -1 mV bis -99 mV wird mit dem Zählerstand 901 bis 999 kodiert. Die 901 entspricht den -99 mV. Eine zusätzliche Negation und Komplementbildung, die vom Vorzeichen - der Tausendstelle - gesteuert wird, wird für den Zählerstand 901 bis 999 aktiviert und realisiert die Umkodierung. Mit dem Übergang von der 999 zur 1000 wird das negative Vorzeichen gelöscht, so daß die Umkodierung ausgeschaltet wird. Der positive Meßbereich wird durch den Zählerstand 1000 bis 1999 entsprechend 000 mV bis 999 mV ausgegeben. In der Zusatzlogik ist keine Unterdrückung der führenden Nullen enthalten. Mit dem Erreichen des Wertes 2000 wird ein Zusatz Flip-Flop gesetzt und die Ausgabe des positiven Überlaufs in allen drei Dekaden durch die Digitalkombination H1H1 $\hat{=}$ 11 angezeigt. Das negative Vorzeichen wird durch die Kombination H1H1 $\hat{=}$ 10 im MSD, der Hunderterstelle, ausgegeben. Gewonnen wird das negative Vorzeichen aus der im Zähler in der dritten Dekade stehenden 9. Für Eingangsspannungen < -99 mV wird die 10 in allen drei Digits ausgegeben. Schaltungstechnisch wird die Sonderzeichenausgabe durch etwa 35 I^2L -Gatter gelöst.

5.7. Kontroll- und Steuerlogik

Die Logik realisiert die Bereitstellung von Steuersignalen je nach Zählerstand, die die Phasen der AD-Wandlung steuern, wie z.B. das Umschalten auf die Entladung durch den Referenzstrom. Weiterhin wird in dieser Baugruppe die Umschaltung der drei Betriebsarten gelöst. Im Bild 34 wird die TTL-gerechte Ansteuerung am Pin 6 und ein Teil der sich daran anschließenden Schaltung gezeigt. Die Transistoren T 2 und T 3 greifen mit

ihren Kollektoren direkt in die Teilerkette ein und schalten dort die Wiederholrate um bzw. den Wandler in den Holdbetrieb. $U_6 = 0 \dots 0,4 \text{ V}$: T 2 und T 3 sind gesperrt. Der Teilerkettenausgang des 18. Flip-Flops steuert die Wiederholrate des AD-Wandlers. Er führt zwei bis sieben Messungen/sec. aus. $U_6 \geq 3,2 \text{ V}$: T 2 und T 3 sind durchgesteuert. Der Takt für die Wiederholrate der Messung wird bereits nach dem 12. bzw. 13. Flip-Flop der Kette abgenommen. Er führt 48 bis 168 Messungen/sec. durch. $0,8 \text{ V} \leq U_6 \leq 1,6 \text{ V}$: T 2 ist offen und T 3 gesperrt. Dieser Zustand blockiert die weitere Auslösung von Messungen. D.h., der letzte Meßwert bleibt im Zähler stehen und wird mit dem Multiplextakt, der von der Taktunterbrechung nicht berührt wird, ständig ausgegeben.

5.8. Multiplexer

Für die Ausgabe des Zählerstandes wird ein Multiplexer verwendet, der nacheinander die drei BCD-Worte an die Ausgangsstufen legt. Der Multiplexbetrieb hat folgende Vorteile.

- Statt $3 \times 4 = 12$ Ausgänge werden nur $4 + 3 = 7$ Ausgänge benötigt, so daß sich die Zahl der Anschlüsse reduziert.
- Der Leistungsverbrauch des Bauelementes sinkt und das Temperaturverhalten verbessert sich.
- Da die Anzeigen im Multiplexbetrieb angesteuert werden, sinkt deren Stromverbrauch.
- Es wird nur ein BCD- zu 7-Segment-Dekoder benötigt.

Die Schaltung erfordert dafür zusätzlich drei Digtreibertransistoren. Der Multiplexer verwendet die um den Faktor 2^{12} und 2^{13} heruntergeteilte Oszillatorfrequenz.

Die Multiplexausgabe ist so ausgelegt, daß der Wandler im Betrieb mit der hohen Umsetzrate jeden Meßwert genau einmal zur Anzeige bringt. Durch die Untersetzung der Meßwertaufnahme im langsamen Betrieb ergibt sich, daß jeder umgewandelte Meßwert 24 Mal ausgegeben wird. Der Multiplexer besteht aus 9 I²L-Gattern mit 1 bis 4 Kollektoren.

Im Bild 30 ist das Taktdiagramm der Multiplexierung enthalten.

5.9. Ausgangsstufen

Die Innenschaltung der digitalen Ausgänge zeigt Bild 20.

Die BCD-Ausgänge sind reine open-Kollektor-Stufen. Die Digit-Ausgänge haben zur Strombegrenzung einen internen 1 kOhm-Schutzwiderstand. Die Transistoren gehören nicht zum I²L-Teil. Die Bereitstellung der internen Betriebsspannung erfolgt über T 1 bis T 4 ($U_S - 4 \cdot U_{BE}$). Die Ausgangstransistoren werden über die Strombänke T 6 und T 16 bis T 18 versorgt.

Die Führung der Strombänke wird über die Transistoren T 5/ T 10 bzw. T 15/ T 19 realisiert. Mit einem low-Signal am Ausgang der Multiplexierung werden die Ströme der Strombanktransistoren gegen Masse abgeleitet, so daß die Ausgangstransistoren gesperrt werden ($U_{CEsat} < U_{BE}$). Bei gesperrten Ausgangstransistoren der Multiplexierung werden die Steuerströme der Strombänke von den Ausgangstransistoren übernommen, die dann durchgesteuert werden (Ausgang = low). Die BCD-Ausgangstransistoren werden bei $I_{OL} = 1,6 \text{ mA}$ (1 TTL-Last) auf die Einhaltung von $U_{OL} = 0,4 \text{ V}$ gemessen. Für die BCD- und Multiplexausgänge werden gleiche Ausgangsstrukturen verwendet.

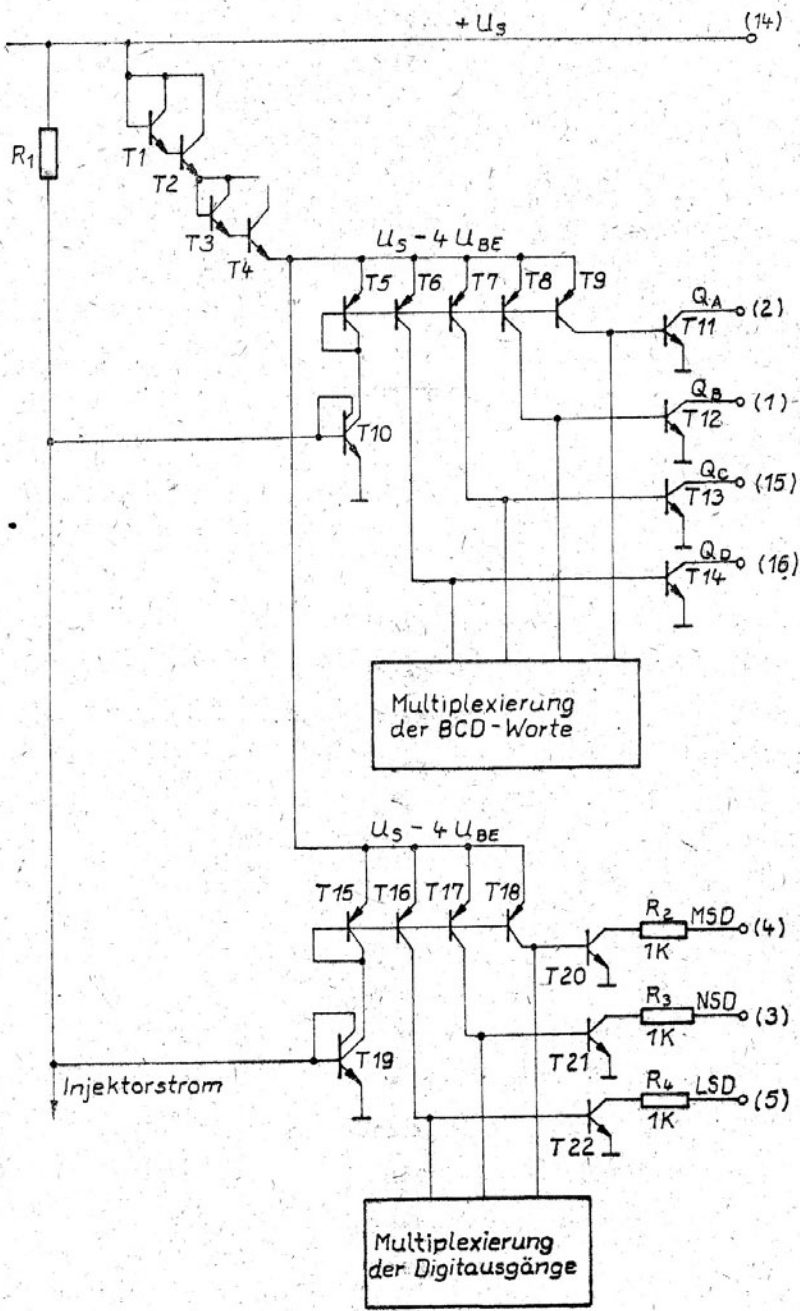
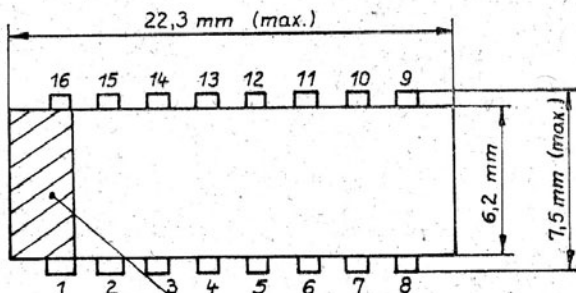


Bild 20: Schaltung der Digitalausgänge

6. KENNWERTE des C 520 D

Bild 21 zeigt die Anschlußbelegung des 16-poligen DIL-Gehäuses und Tabelle 3 die dazugehörige Erläuterung.



Ausführliche Kennwerte sind in
Raum für Markierung /11/ und /12/ enthalten.

6.1. Anschlußbelegung

Anschluß 1	BCD-Datenausgang Q_B
2	BCD-Datenausgang Q_A
3	NSD-Digit Ausgang (mittleres Digit)
4	MSD-Digit Ausgang (höchstwertiges Digit)
5	LSD-Digit Ausgang (letztes Digit)
6	Hold-Geschwindigkeitumschaltung
7	Masse
8	Nullpunktgleich
9	Nullpunktgleich
10	Eingang "low "
11	Eingang "high "
12	Integrationskondensator
13	Endwertgleich
14	Betriebsspannung U_g
15	BCD-Datenausgang Q_C
16	BCD-Datenausgang Q_D

Tabelle 3: Anschlußbelegung des C 520 D

51

Gehäuse : 16-poliges DIL-Plastgehäuse oder Bauform 21.1.1.2,16
nach TGL 26 713.

6.2. Grenzwerte

Grenzwerte, die im Betrieb nicht unter- bzw. überschritten werden dürfen weist folgende Tabelle aus.

Kenngröße	Kurzzeichen	Einheit	Kleinstwert	Größtwert
Betriebsspannung	U_S	V	0	7
Spannung an Eingang "high" und " low "	U_{11} U_{10}	V V	-15 -15	+15 +15
Spannung an den BCD-Kode- und Digit-Ausgängen	U_0	V	0	7
Spannung für Betriebsartenumschaltung	U_6	V	0	7

Alle Spannungen sind auf Masse (pin 7) bezogen.

Tabelle 4 : Grenzwerte des C 520 D

Kenngröße	Symbol	Einheit	Kleinstwert	Größtwert
Betriebsspannung	U_s	V	4,5	5,5
Umgebungstemperatur	ϑ_a	$^{\circ}\text{C}$	0	70
Eingangsspannung zwischen den Anschlüssen 10 und 11	$U_{10/11}$	V	-0,099	0,999
Spannung für Geschwindigkeitsumschaltung	U_6			
Normal-Betrieb		V	0	0,4
Hold-Betrieb		V	0,8	1,6
High-speed-Betrieb		V	3,2	5,5

Tabelle 5 : Betriebsbedingungen des C 520 D

Ableichbedingungen: Nullpunktgleich bei $U_i = 0 \text{ mV}$

Endwertgleich bei $U_i = 900 \text{ mV}$

6.4. Elektrische Kennwerte

Elektrische Kennwerte für $V_a = 25^\circ\text{C} - 5\text{K}$:

Kenngröße	Symbol	Einheit	Messbedingungen	Kleinwert	Typwert	Größt-wert
Stromaufnahme	I_S	mA	$U_{14} \approx 5,0\text{ V}$ $U_6 = 1,2\text{ V}$		10,0	17
Fehler der Linearität	F_{Lin}	% vom Meßwert	$U_{14} \approx 5,0\text{ V}; U_6 \leq 0,4\text{ V}$ $U_{10} \approx 0\text{ V}$ $-99\text{ mV} \leq U_{11} \leq 999\text{ mV}$	$-0,1\text{-}1\text{Digit} \pm 0,05\text{ 0,1+}1\text{Digit}$ $\pm 1\text{Digit}$		
I-Ausgangs- spannung der BCD-Kode-Aus- gänge	U_{OL}	mV	$U_{14} = 5,0\text{V}; I_{OL} = 1,6\text{ mA}$ $U_6 = 1,2\text{ V}$ $U_{10} \approx U_{11} \approx 0\text{ V}$		90	400
Gleichtakt- unterdrückung	CMR	dB	$U_{14} = 5,0\text{V}; U_6 \leq 0,4\text{ V}$ $U_{10} = U_{11} = U_{CM}$ $-200\text{ mV} \leq U_{CM} \leq 200\text{ mV}$		47	
Betriebs- Nullpunkt spannungs Endwert unterdrückung	SVR	dB	$4,5\text{V} \leq U_{14} \leq 5,5\text{V}$ $U_{11} = 0\text{ V (NP)}$ $U_6 \leq 0,4\text{V}; U_{10} = 0\text{ V}$ $U_{11} = 900\text{mV (EW)}$		$\frac{75}{69}$	
Stromaufn. der BCD-Kode-Ausgänge	I_{OL}	mA	$U_{OL} = 400\text{mV}; U_{14} = 5,0\text{ V}$	1,6	5,1	
Stromaufnahme der Digt-Ausgänge	I_0	mA	$U_0 = 4\text{ V}$	1,6	3,6	
Reststromaufnahme der BCD-Kode-Ausgänge	I_{OS}	µA	$U_{14} = 5,0\text{ V}; U_6 = 1,2\text{ V}$ $U_{10} = U_{11} = 0\text{ V}$			500

Kenngröße	Symbol	Einheit	Messbedingungen	Kleinwert	Typwert	Größtwert
Reststromaufnahme der Digit-Ausgänge	I_{OS}	PA	$U_{14} = 5 \text{ V}$ $U_6 = 1,2 \text{ V}$		500	
Eingangsstrom Eingang high	I_{11}	nA	Nullpunktgleich mit 50 kOhm-Regler $U_{14} = 5 \text{ V}$		124	
TK des Nullpunktes	TK_{NP}	$\mu\text{V/K}$	$U_{10} = U_{11} = 0 \text{ V}$ $U_6 \leq 0,4 \text{ V}$ $0 \leq I_a = 70^\circ\text{C}$ $U_{14} = 5 \text{ V}$		28	
TK des Endwertes	TK_{End}	ppm/K	$U_{11} = 900 \text{ mV}; U_{10} = 0 \text{ V}$ $0 \leq I_a \leq 70^\circ\text{C}; U_6 \leq 0,4 \text{ V}$ $U_{14} = 5 \text{ V}$		27	
Wandlungsrate für normale Betriebsart	$U_{ms} \cdot s^{-1}$		$U_6 \leq 0,4 \text{ V}$ $U_{14} = 5 \text{ V}$	2	5	7
Wandlungsrate für schnelle Betriebsart	$U_{ms} \cdot s^{-1}$		$U_{14} = 5 \text{ V}$ $3,2 \text{ V} \leq U_6 \leq 5,5 \text{ V}$	48	122	168
Für Betriebsart Hold notw. Spannung	U_6	V	$U_{14} = 5 \text{ V}$	0,8		1,6

Tabelle 6 : Elektrische Kennwerte des C 520 D

6.5. Sonderzeichenausgabe

Da das Bauelement über eine automatische Polaritäts- und Überlauferkennung verfügt, sind für diese Zustände Sonderzeichen über die BCD-Ausgänge nach außen zu geben. In Tabelle 7 sind sie zusammengestellt und ihre Dekodierung durch den D 147 C im 7-Segment-Kode angegeben.

Funktion	Sonderzeichen	Dekodierung D 147 C
positives Vorzeichen	keine Kennzeichnung	888
negatives Vorzeichen	HLHL = 10 im MSD	138
positive Bereichs- überschreitung	HLHH = 11 } in } allen } drei } Digits	111
negative Bereichs- überschreitung		000

Tabelle 7 : Sonderzeichenausgabe

Neben den in den Tabellen enthaltenen Daten sind beim Einsatz des Wändlers einige Besonderheiten zu berücksichtigen. Die Meßeingänge des C 520 D sind keine echten Differenzeingänge. Die Komponenten Betriebsspannung, Eingangsspannung, maximaler Hub über dem Integrationskondensator und maximale Gleichtakt-eingangsspannung sind in Grenzen gegeneinander, bezogen auf die zu lösende Aufgabe, abzuwägen. Es kann unter Umständen sinnvoll sein, die Betriebsspannung an die obere zulässige Grenze zu legen, den Hub über dem Integrationskondensator bis an die Grenze der geforderten Linearität und Auflösung zu verkleinern, um einen maximalen Gleichtaktbereich für den Wandler zu realisieren.

Mit der verhältnismäßig kleinen Betriebsspannung von $U_S = + 4,5 \dots + 5,5 \text{ V}$ ist der maximal zulässige Gleichtaktbereich auf $U_{CM} = \pm 200 \text{ mV}$ beschränkt.

Die Bauelemente verarbeiten in der Regel Gleichtaktspannungen bis $U_{CM} = \pm 280 \text{ mV}$ bei $U_S = + 5 \text{ V}$ ohne erkennbare zusätzliche Linearitätsfehler, wenn der Wandler sowohl im Nullpunkt als auch im Endwert neu abgeglichen wird.

Nutzt man bewußt die Gleichtaktgrenzen des C 520 D, so ist zu beachten, daß die Linearität dann zwangsläufig an den Eingangsspannungsgrenzen verloren geht.

Für die Temperaturmessung werden diese Grenzen unter Umständen gar nicht erreicht. Die typische Gleichtaktunterdrückung beträgt bei $U_i = 0 \text{ mV}$ (Eingangskurzschluß) etwa $\text{CMR} (\text{Typ}) = 47 \text{ dB}$ und etwa $\text{CMR} (\text{Typ}) = 42 \text{ dB}$ für Eingangssignale von $U_i = 900 \text{ mV}$. D.h., sich bis an die zulässigen Grenzen ändernde U_{CM} führen zu Meßfehlern, während konstante Gleichtakteingangsspannungen in den zulässigen Grenzen durch einen Abgleich des Wandlers keine erhöhten Meßfehler verursachen.

Der Wandler weist eine ausgezeichnete Betriebsspannungsunterdrückung auf. Der typische Wert wurde mit 75 dB für den Nullpunkt und mit $\text{SVR} = 69 \text{ dB}$ für $U_i = 900 \text{ mV}$ ermittelt. Von wesentlichem Interesse für den Einsatz des Wandlers ist der Betriebsspannungsbereich, in dem er funktionstüchtig ist. Getestet wurde die Funktion mit der Einsatzschaltung nach Bild 27. Die Wandler sind im Bereich $(3,8 \text{ V}) 4,0 \text{ V} - U_S \pm 7 \text{ V}$ funktionstüchtig. Bis zu diesen Grenzen verschlechtert sich die Linearität gegenüber den Fehlern bei $U_S = +5 \text{ V}$ kaum, wie Bild 22 zeigt.

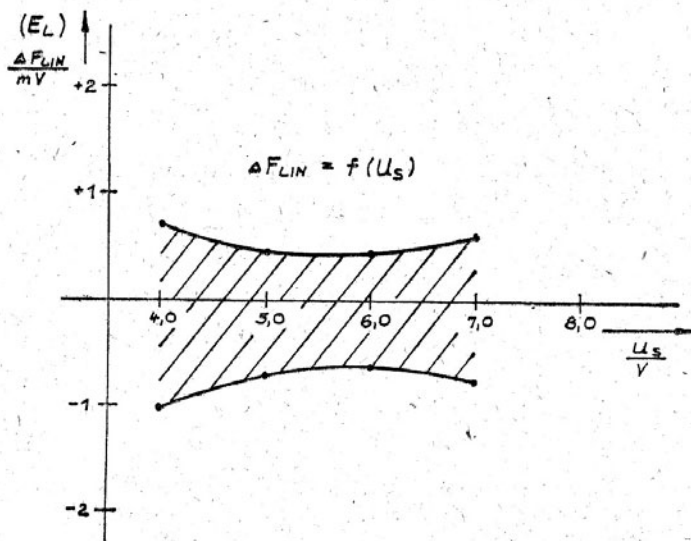


Bild 22: Linearität in Abhängigkeit von U_S .

Durch die hohe Betriebsspannungsunterdrückung ist ein Neuabgleich bei sich ändernder Betriebsspannung bei fast keinem Bauelement erforderlich.

Die Stromaufnahme bei $U_S = 5 \text{ V}$ liegt bei typisch $I_S = 10 \text{ mA}$. Die Verlustleistung beträgt damit $P_V = 50 \text{ mW}$. Verglichen mit der Stromaufnahme des D 147 C und der LED-Anzeigen ist sie sehr gering.

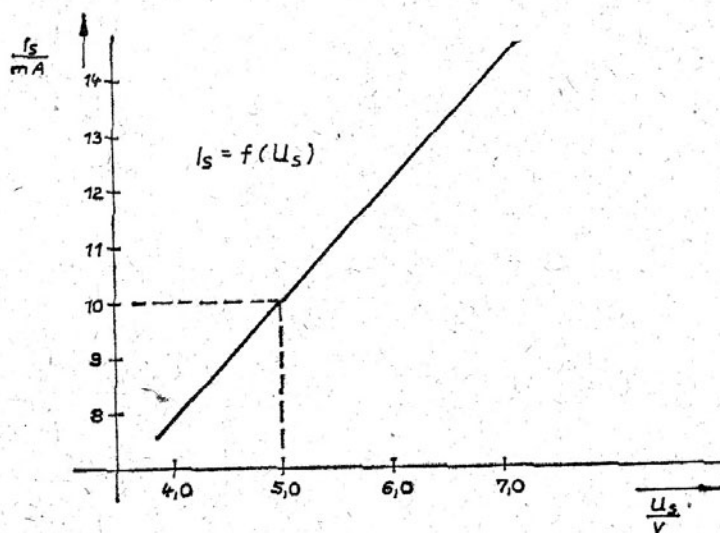


Bild 23: Stromaufnahme in Abhängigkeit von U_S

Im Abschnitt 9. wird ein Ausblick auf eine stromarme ~~BSD~~- zu 7-Segment-Dekoderreihe gegeben.

Der Eingangsstrom des Wandler fließt nur, wenn der U/I-Wandler an das Meßsystem geschaltet ist und das Eingangssignal aufintegriert wird. Die Integrationszeit beträgt 0,7 bis 4,4 ms (typ. 1 ms). Während dieser Zeit fließt der Eingangsstrom von typisch 120 nA, bei einer Beschaltung des Nullpunktgleiches mit einem 50 kOhm - Potentiometer. Der Widerstand zwischen den Anschlüssen 8 und 9 beeinflusst den Eingangsstrom. Je niederohmiger $R_1 + R_2 + P_1$ gewählt wird, desto größer wird der Eingangsstrom. Die Abhängigkeit für drei Bauelemente zeigt Bild 24.

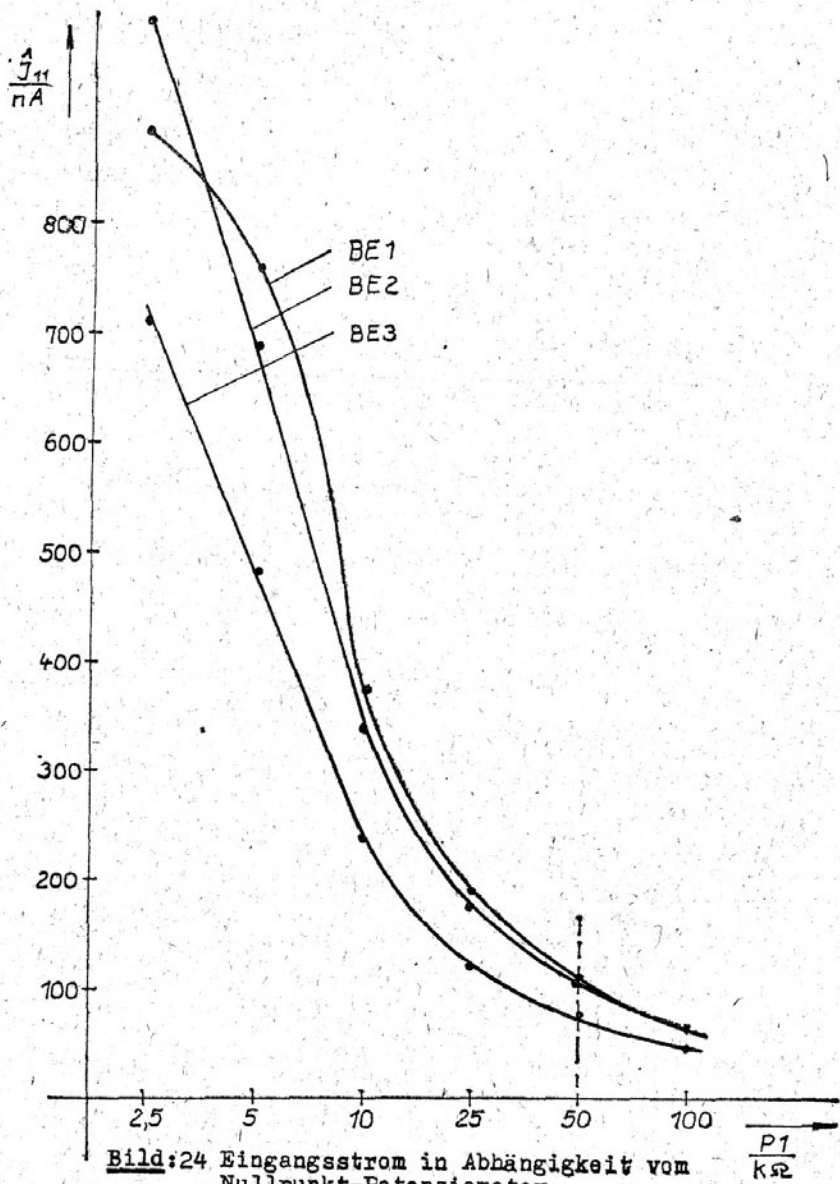


Bild:24 Eingangsstrom in Abhängigkeit vom Nullpunkt-Potenzmesser

Größer als 100 k Ω sollte die Summe nicht gewählt werden, da dann die Linearität negativ beeinflusst wird. Wie auch aus dem Bild zu ersehen ist, kann $I_{11} = I_1$ erheblich von Bauelement zu Bauelement schwanken. Als obere Grenze bei einer Beschaltung mit 50 k Ω kann mit 180 ... 200 nA gerechnet werden.

Während der Meßwertausgabe ist der U/I-Wandler abgeschaltet. Dann fließt ein Reststrom von ≤ 100 pA. Die Messung und Anzeige seines eigenen Eingangsstromes kann vom Wandler vorgenommen werden. Schaltet man zwischen die Eingänge 10 und 11 einen 1 M Ω - Widerstand (ohne Eingangssignal) ergibt die Anzeige mit 1 mV Auflösung eine Anzeige des Eingangsstromes in nA.

Zu beachten ist weiterhin, daß wie aus Bild 30 zu ersehen ist, die Meßwertausgabe nicht reihenfolgerichtig erfolgt. Nach der Umsetzung wird erst das MSD (10^2), dann das LSD (10^0) und danach das NSD (10^1) ausgegeben.

6.6. Temperaturverhalten

Neben dem zulässigen Umgebungstemperaturbereich von 0 bis 70°C sind Nullpunkt- und Endwertdrift in Abhängigkeit von der Temperatur entscheidend. Die Bilder 25 und 26 zeigen das Verhalten des Wandlers.

TK (Np) ≈ 28 μ V/K im Bereich von 0 bis 70°C

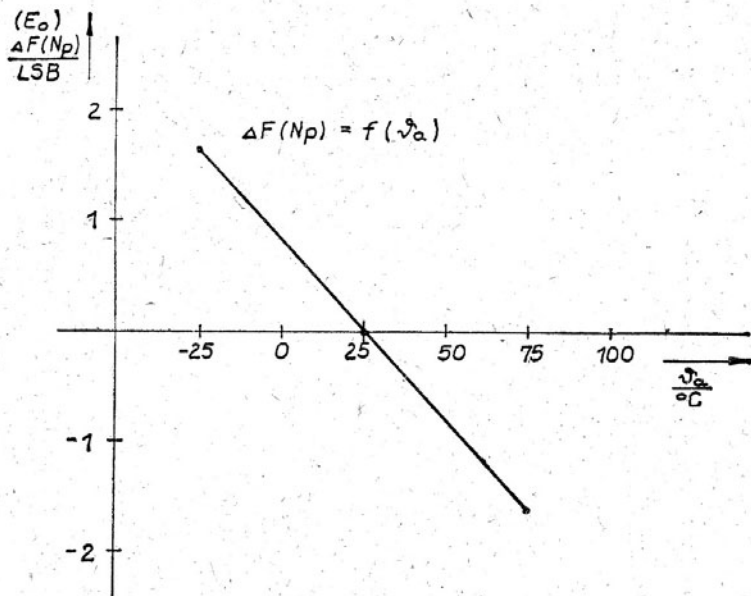


Bild 25: Nullpunkt drift in Abhängigkeit von der Temperatur

TK (EW) \approx 27 ppm/ $^\circ C$ bei $U_i = 900$ mV im Bereich von 0 bis $70^\circ C$.

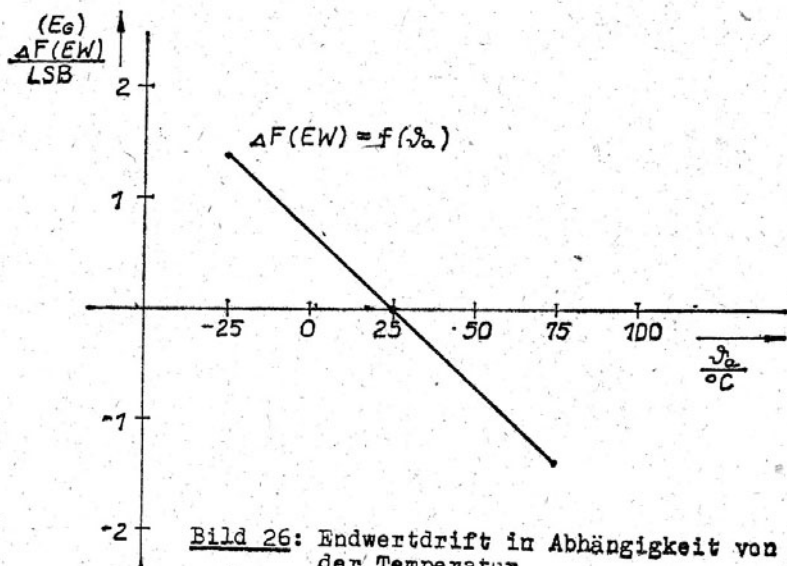


Bild 26: Endwert drift in Abhängigkeit von der Temperatur

Da bei der Endwertdrift die Nullpunktverschiebung enthalten ist, handelt es sich, bei Temperaturänderungen fast nur um eine Parallelverschiebung der Kennlinien. Die Differenz zwischen diesen beiden Werten ergibt die Steilheitsänderung der Kennlinie, die sehr gering ist. Zu beachten ist z.B., daß beim Einsatz in Handmeßtechnik, bei der die Betriebsspannung nur kurzzeitig zur Messung eingeschaltet wird, das Bauelement erst nach $\gt 20$ sec. (30 sec.) temperaturmäßig eingelaufen ist, d.h., die stabile Chiptemperatur erreicht wird. Wird der Wandler nicht im abgeglichenen Zustand betrieben, kann sich der Temperaturverhalten des C 520 D verändern. Daraus folgt nicht unbedingt, daß es sich verschlechtert. Bedingt durch technologische Schwankungen kann das Temperaturverhalten durch einen Fehlableich unter Umständen auch verbessert werden.

7. APPLIKATIVE HINWEISE zum EINSATZ des C 520 D

1. Die Betriebsspannung ist mit einem Elektrolytkondensator $\geq 50 \mu\text{F}$ und einem Scheibenkondensator $\geq 47 \text{ nF}$ nahe am Schaltkreis gegen Masse abzublocken.
2. Bei der Betriebsspannungs- und Masseführung ist darauf zu achten, daß die niederfrequenten Schaltvorgänge des Anzeigeteils nicht die Analogeingänge des Wandlers beeinflussen. Es dürfen keine Ströme des Digitalteils über die Analogmasse fließen.
3. Da der C 520 D wegen der kurzen Integrationszeit des Eingangssignals keine Brummspannungsunterdrückung aufweist, sollte im Bedarfsfall ein Tiefpaßfilter für den high - Eingang (11) vorgesehen werden.
4. Zur Erhöhung der Abgleichgenauigkeit sind als Abgleichpunkte folgende definierte Eingangsspannungen zu wählen
 $U_i = 0,5 \text{ mV}$, die Anzeige schwankt zwischen 000 und 001 und
 $U_i = 900,5 \text{ mV}$, die Anzeige schwankt zwischen 900 und 901.
5. Als Integrationskapazität ist ein verlustarmer Wickelkondensator und für den Einsatz innerhalb eines größeren Temperaturbereiches mit möglichst geringem TK zu verwenden, da Kapazitätsänderungen einen zusätzlichen Linearitätsfehler verursachen können.

6. Für den Abgleich des Wandlers im Nullpunkt und Endwert sollten Dickschichtregler mit Spindeltrieb verwendet werden, da der Abgleichbereich in beiden Fällen sehr groß ist. Eine Eingrenzung durch zusätzliche Festwiderstände ist sinnvoll.
7. Die Summe der Widerstände zwischen Anschluß 8 und 9 sollte 50 kOhm betragen. Kleinere Widerstände vergrößern den Eingangsstrom des Wandlers.
8. Die BCD-Ausgänge sind open-Kollektorstufen. Zur Einhaltung der Schaltpegel für den D 147 C sind Widerstände (10 ... 20 kOhm) gegen $+U_S$ vorzusehen.
9. Die Multiplexausgänge sind open-Kollektorstufen mit internem 1 kOhm-Schutzwiderstand, so daß diese Ausgänge nicht TTL-kompatibel sind.
10. Beim Einsatz des C 520 D in meßwerterfassenden Systemen sind Schutzmaßnahmen für eine sichere Datenzwischenspeicherung vorzusehen, da in den drei Multiplexsignalen Störnadeln (HLE) enthalten sind. Mit Verzögerungsgliedern sind Störnadeln bis zu einer Breite von etwa $t = 3, \mu s$ zu beseitigen. In meßwertanzeigenden Systemen sind diese Schutzmaßnahmen nicht erforderlich.
11. Für meßwertanzeigende Systeme ist die langsame Betriebsart zu wählen, da Meßwertänderungen vom Auge besser verfolgt werden können.

8. ANWENDUNGSBEISPIELE für den C520 D

8.1. Anzeigesysteme

Im Bild 27 wird die Standardschaltung für Anzeigen mit gemeinsamer Anode gezeigt. In dieser Zusammenstellung ist eine minimale Bauelementezahl für den Aufbau erforderlich. Die Widerstände R_3 bis R_6 garantieren die TTL-gerechten Eingangspegel für den D 147 C. Ohne diese Widerstände stellt sich bei gesperrten Ausgangstransistoren ein Pegel im verbotenen Bereich ein, den der Dekoder aber als high erkennt. R_7 bis R_9 sind zur zusätzlichen Strombegrenzung für die Digitausgänge vorgesehen. Sie können entfallen, wenn die pnp-Treibertransistoren mit hohem Basisstrom zu betreiben sind, um bei schlechtem B der Transistoren die geforderten Anzeigestrome zu schalten. Die Segmentströme sind durch die Aufnahmefähigkeit des D 147 C begrenzt. ($N_{OL}(\text{max.}) = 12 \nabla I_{OL}^{\text{max.}} = 20 \text{ mA}$). Damit ergibt sich ein maximal zulässiger Anzeigestrom von 140 mA ohne Dezimalpunkt. Mit R_{10} bis R_{16} werden die Segmentströme festgelegt. Als Digit-treiber sind für kleinere Ströme z.B. KT 209 und für höhere SF 116 bis 119 geeignet. In diesem Zusammenhang sei auf die im Abschnitt 9 vorgestellte neue Dekoderreihe des VEB HFO verwiesen, bei denen im Multiplexbetrieb bis zu $I_{OL} = 30 \text{ mA/Segment}$ zugelassen sind. Als Anzeigen kommen VQB 71 oder VQE 24 in Frage, wobei die eine nicht benötigte Ziffer der VQE 24 als Sonderzeichen wie z.B. als \square (Grad) verwendet werden kann.

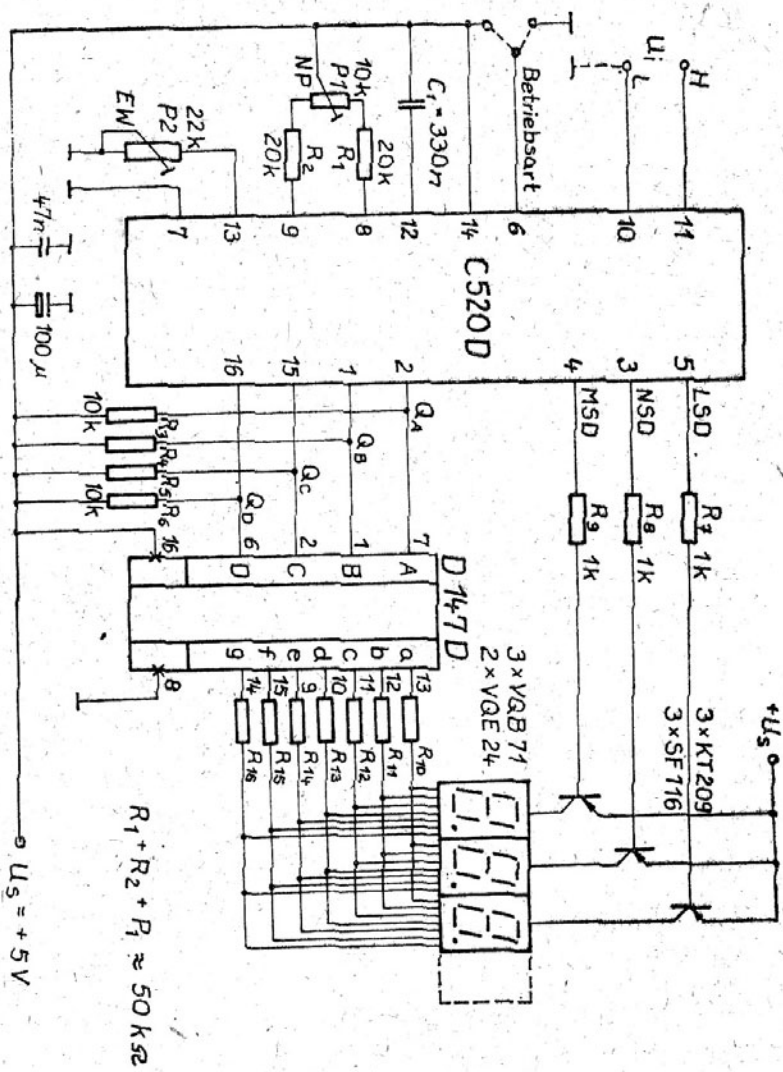


Bild 27: Einsatzschaltung des C 520 D für Anzeigen mit gemeinsamer Anode

Für Anzeigesysteme ist die langsame Betriebsart zu empfehlen, da Meßwertänderungen besser verfolgt werden können.

Im Bild 28 und 29 werden zwei Ansteuermöglichkeiten für Anzeigen mit gemeinsamer Katode gezeigt.

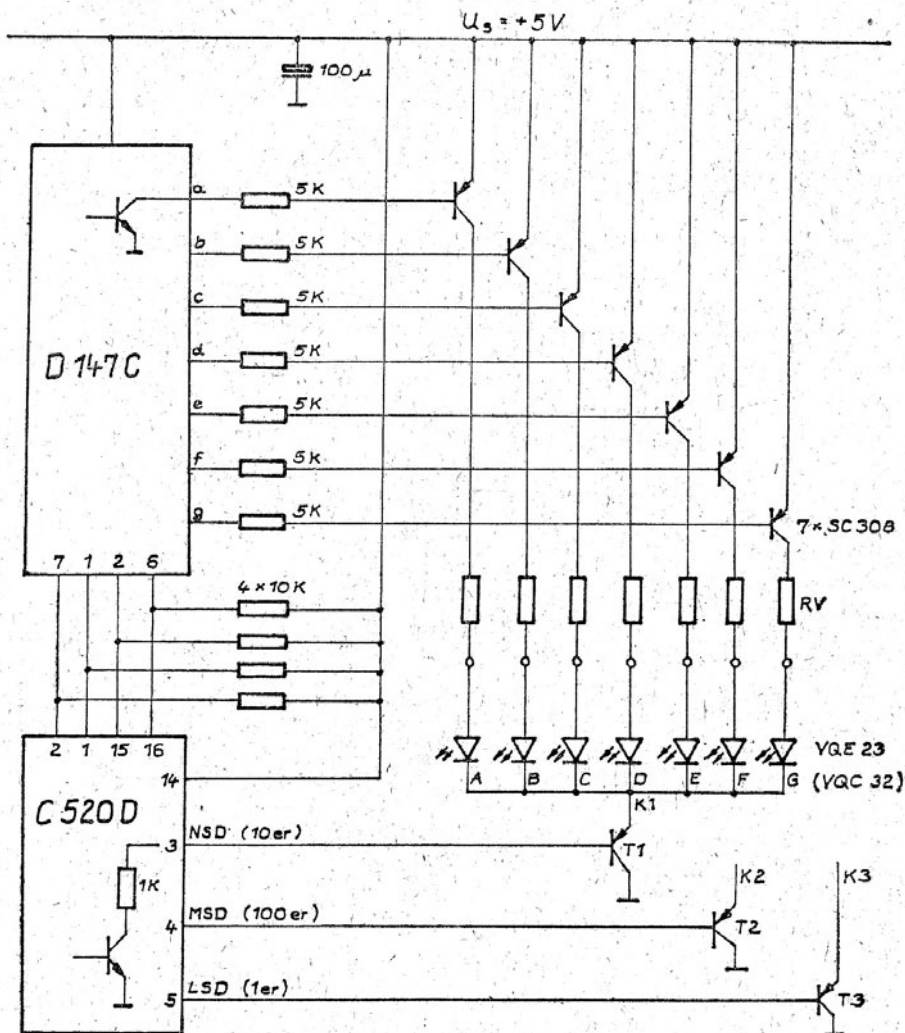


Bild 28: C 520 D und Anzeigen mit gemeinsamer Katode

Dafür werden zusätzlich 7 pnp-Transistoren für die Segmentansteuerung benötigt, deren Basisstrom mit den $7 \times 5 \text{ k}\Omega$ begrenzt wird. Als Anzeigen kommen VQC 32 oder VQE 23 in Frage. Als Digitrtreiber werden im Bild 28 pnp-Transistoren $T_{1/2/3}$ eingesetzt. Das Katodenpotential $K_{1/2/3}$ ergibt sich aus der Summe von $U_{CE_{\text{sat}}} + U_{BE} + I_B \cdot 1 \text{ k}\Omega$ und kann damit je nach B der Transistoren T_1 bis T_3 schwanken und zu Helligkeitsunterschieden zwischen den drei Anzeigen führen. Bild 29 zeigt die Ansteuerung mit 2 npn-Transistoren, bei der das gemeinsame Katodenpotential nur $U_{CE_{\text{sat}}}$ über der Masse liegt und keine B-Abhängigkeit aufweist.

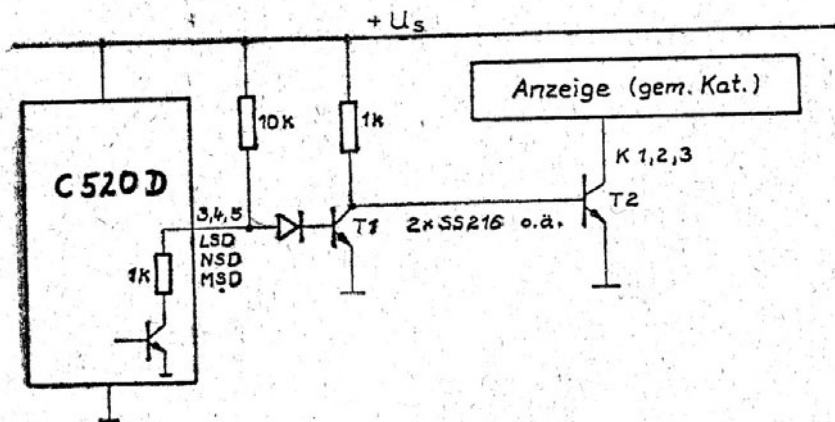


Bild 29: Ansteuerung von Anzeigen mit gemeinsamer Katode über npn-Transistoren

8.2. Multiplexsignale

Im Bild 30 ist das Taktdiagramm der Multiplexierung enthalten. Bedingt durch das Schaltverhalten des Multiplexers treten in den Multiplexsignalen Spikes (HLH) auf. Die Leuchtzeit pro Digit beträgt etwa 2,3 ms. Die Umsetzzeit ist etwa ebenso lang, so daß sich für die Anzeigen ein Tastverhältnis von 4 : 1 ergibt.

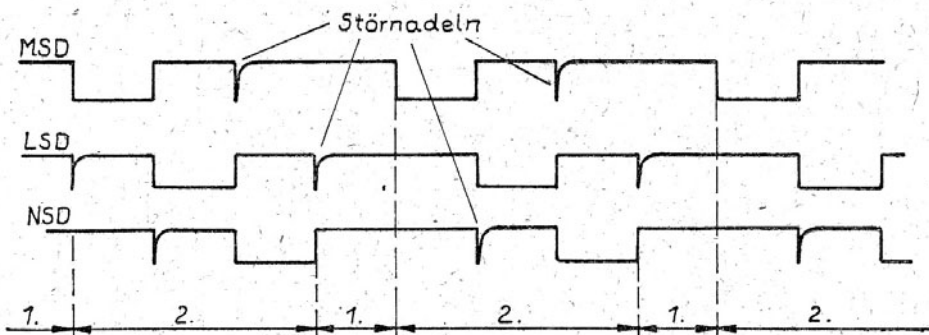


Bild 30: Taktdiagramm der Multiplexierung

Die Störnadeln spielen bei Meßwertanzeigen keine Rolle. Für Meßwertspeicherungen sind sie zu unterdrücken, da ansonsten Fehlspeicherungen auftreten. Die Darstellung und Messung der Breite der Spikes ist schwierig, da die Wiederholrate nur bei 100 Hz liegt und die Nadeln max. 2 μ s breit sind. Für die Unterdrückung wird ein R-C-Glied mit $\tau = 5 \mu$ s verwendet. Bild 31 zeigt eine Schaltung zur Störnadelunterdrückung und Bereitstellung von TTL-Pegeln, da die Multiplexausgänge des C 520 D nicht TTL-kompatibel sind.

8.3. Meßwertspeicherung

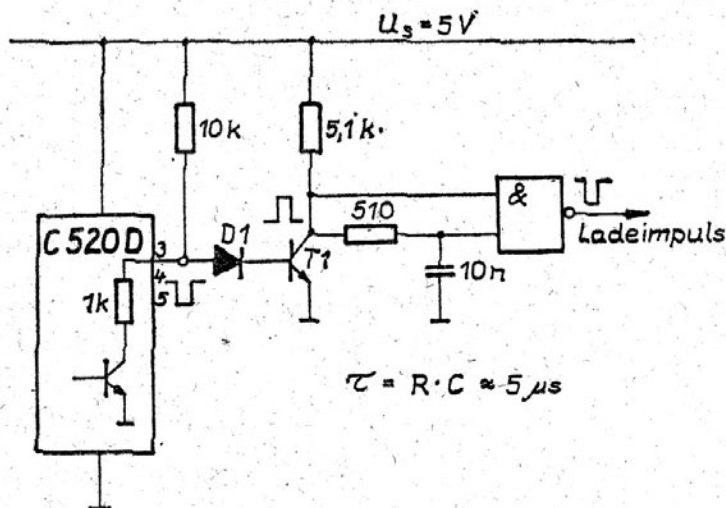


Bild 31: Störnadelunterdrückung

Zur Erhöhung des Schaltpegels von T_1 wurde D_1 eingefügt. Mit der RC-Kombination 510 Ohm und 10 nF wird für die Vorderflanke eine Verzögerung realisiert, die die Spikes unterdrückt. Mit dem Ladeimpuls nach dem Gatter kann die Zwischenspeicherung in D 192 0 oder D 195 0 erfolgen. Eine Schaltung zur Zwischenspeicherung in D 192/193 wird in Bild 32 gezeigt. Die Störnadelunterdrückung entspricht der vom Bild 31. Mit dem Low-Zustand der Gatter werden die dazugehörigen D 192/193 über pin 11 geladen. Die vier UND-Gatter des D 108 D entlasten die BCD-Ausgänge des C 520 D, da die drei TTL-Eingänge der D 192 C parallelgeschaltet sind.

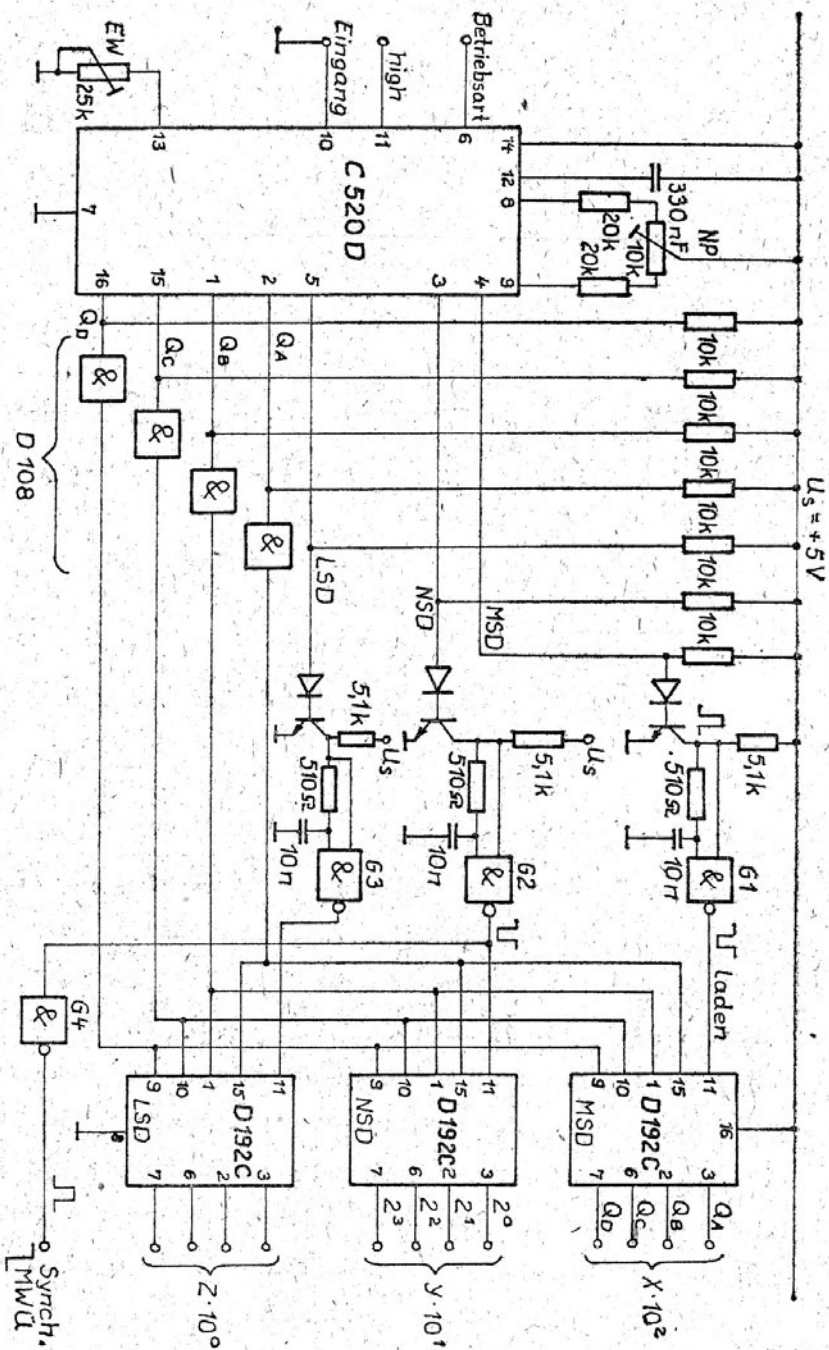


Bild 32: Schaltung zur störstärkeren Meßwert-Zwischenspeicherung

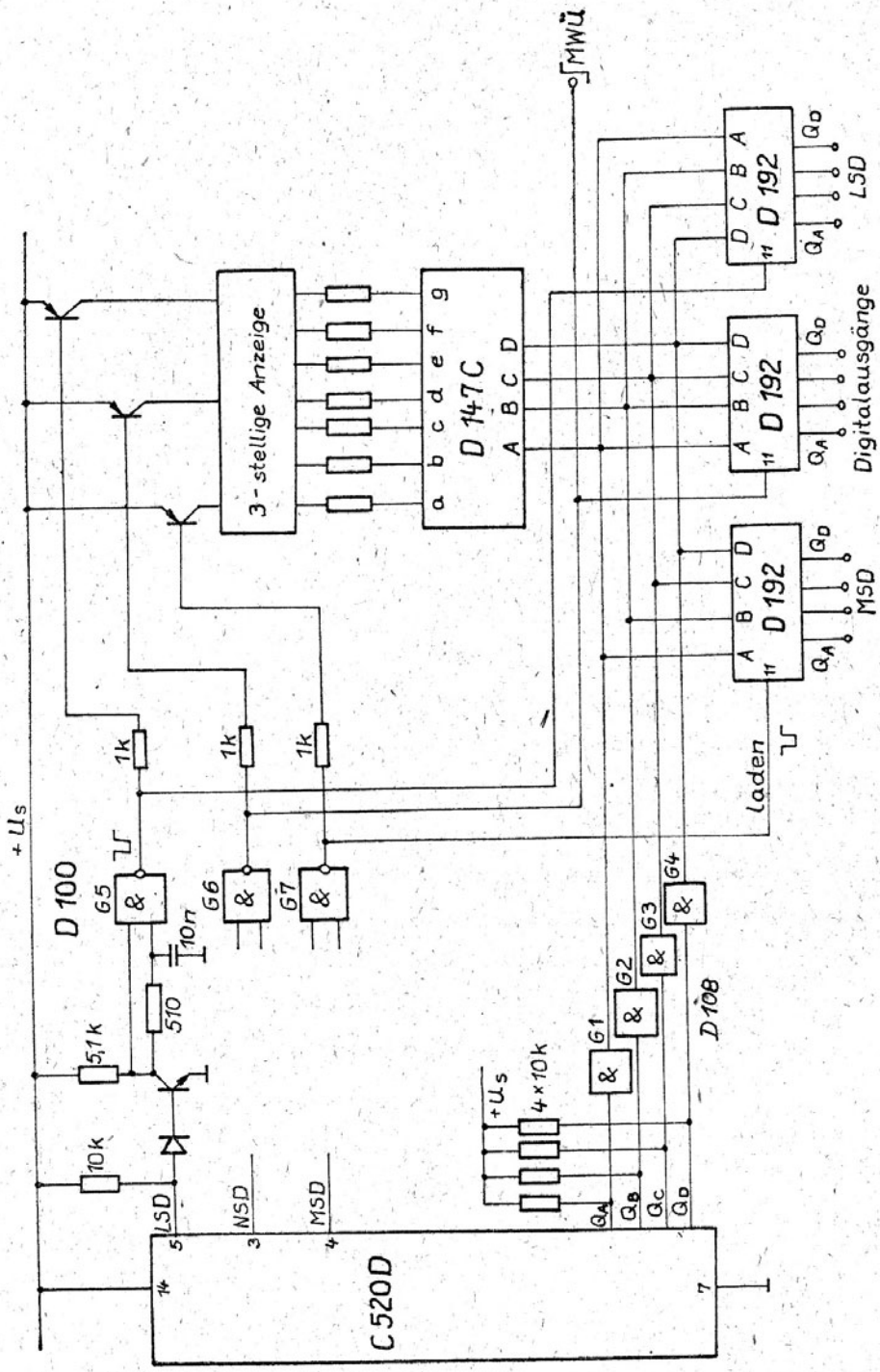


Bild 33: Messanzeige und Speicherung

Wie aus dem Taktdiagramm der Multiplexierung hervorgeht, wird das NSD (10^1) als letztes ausgegeben. Das zusätzliche Gatter G_4 stellt einen Synchronausgang dar, mit dessen H/L-Flanke eine Meßwertübernahme in externe Systeme möglich ist. Wird statt der D 192/193 ein D 195 zur Speicherung verwendet, so sind die Ausgänge der Gatter G_1 bis G_3 auf die Takteingänge T_2 der D 195 zu geben und MC ist auf high zu legen. Ansonsten sind die Schaltungen identisch.

Soll gleichzeitig eine Meßwertanzeige und Zwischenspeicherung erfolgen, so wird die Multiplexierung der Anzeige wegen der Leistungsbilanz beibehalten.

Das Laden der Zwischenspeicher bleibt wie im Bild 31. Die Gatter G_1 bis G_4 entlasten die Ausgänge des C 520 D, da die vier Dateneingänge der D 192 und des D 147 C parallelgeschaltet sind. Die Meßwertübernahme (MWÜ) kann mit der L/H-Flanke des NSD-Multiplexsignals erfolgen.

8.4. Betriebsartenumschaltung

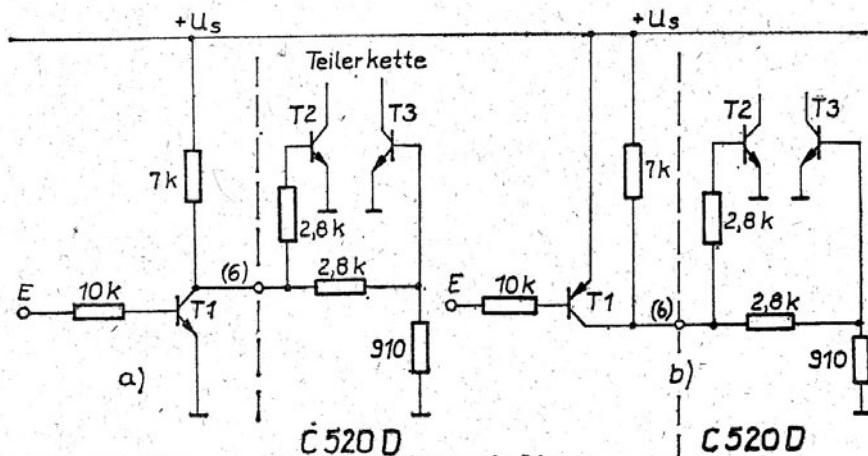


Bild 34: TTL-gerechte Betriebsumschaltung

Im Bild 34 ist eine TTL-kompatible Betriebsartenumschaltung dargestellt. Die Transistoren T_2 und T_3 des C 520 D greifen direkt in die Teilerkette ein und steuern die Zahl der Messungen/sec. Es ergeben sich folgende Umschaltmöglichkeiten für die beiden Ansteuerungen nach a) und b)

a)	E	U_G	Geschwindigkeit	b)	E	U_G	Geschwindigkeit
	H	$\approx 0,4$ V	langsam		H	$\approx 1,2$ V	hold
	L	$\approx 1,2$ V	hold		L	$U_s - U_{GE_{sat}}$	schnell
	offen	$\approx 1,2$ V	hold		offen	$\approx 1,2$ V	hold

Tabelle 8 : Geschwindigkeitsumschaltung nach Bild 34

Die Anwendung ist z.B. für die Speicherung von Maxima oder Minima von Interesse

8.5. Vorzeichenausgabe

Die Unterscheidung des positiven und negativen Überlaufs kann leicht zu Verwechslungen führen. Im Bild 35 ist eine Möglichkeit gezeigt, wie das negative Vorzeichen und der negative Überlauf nur durch das Leuchten des Segments g der Anzeigen besser zu erfassen sind.

An den BCD-Ausgängen wird durch die Gatter G_1 bis G_3 eine 10-Erkennung realisiert. G_3 geht am Ausgang auf low und sperrt die Transistoren T_1 und T_2 in den Segmentleitungen d und e. Der positive Überlauf wird davon nicht berührt.

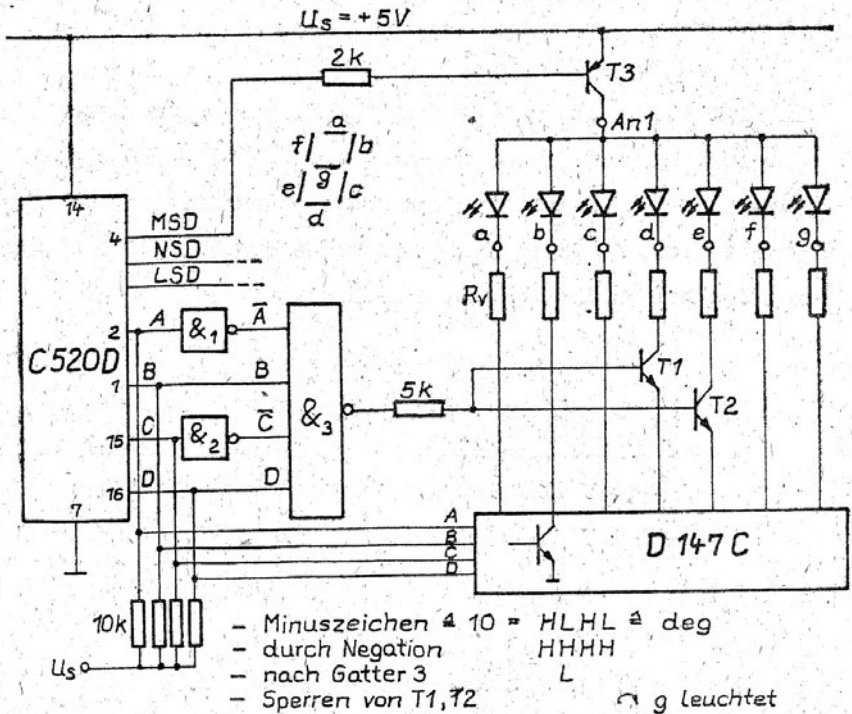


Bild 35: Ausgabe eines echten Minuszeichens und des negativen Überlaufs

Wird die Unterscheidung zwischen positivem und negativem Überlauf nicht benötigt, können G_1 und G_2 entfallen. An G_3 werden nur B und D angeschlossen. Der Ausgang von G_3 geht dann bei 10 und 11 am Eingang auf low. Fügt man zu T_1 und T_2 noch T_3 in der Segmentleitung c ein, dann werden die Segmente c, d und e bei 10 und 11 gesperrt. Es leuchtet in beiden Fällen nur das Segment g.

8.6. Ergänzende Baugruppen

Für einige Einsatzfälle reicht die Empfindlichkeit des C 520 D mit 1 mV sicher nicht aus. Mit dem Bi-Fet-OPV B 081 D oder dem MAA 741 ist im Bild 36 ein Vorsatz-OPV gezeichnet, der in Elektrometerschaltung arbeitet und damit einen besonders hohen Eingangswiderstand aufweist.

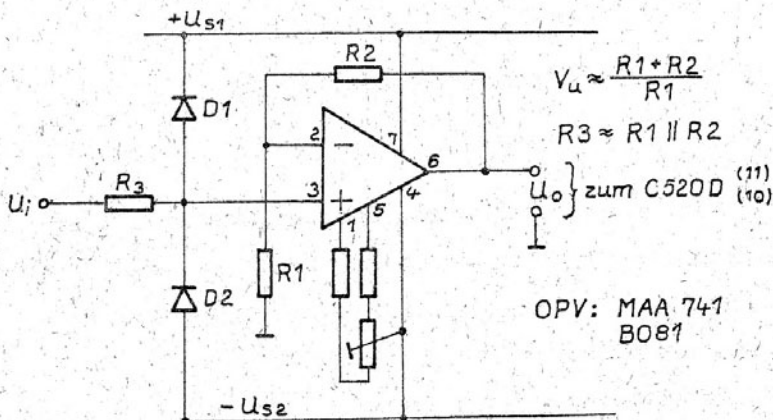


Bild 36: Hochohmiger OPV-Vorsatz

Mit $R_1 = 10 \text{ k}\Omega$, $R_2 = 90 \text{ k}\Omega$ und $R_3 = 9 \text{ k}\Omega$ wird ein $V_u = 10$ realisiert, so daß zusammen mit dem C 520 D eine Auflösung von $0,1 \text{ mV}$ erreicht wird.

Die Dioden D_1 und D_2 stellen eine Schutzschaltung gegen positive und negative Überspannungen dar. Die Einstellung von $V_u = 10$ erfordert keine übermäßige Genauigkeit, da der C 520 D sowohl den Nullpunkt- als auch den Verstärkungsfehler korrigieren kann. Beim Austausch des B 081 D gegen den MAA 741, die pinkompatibel sind, ist die niederohmige Offsetkompensation des MAA 741 zu beachten. Die Funktion beider OPVs ist auch bei kleinen Betriebsspannungen gewährleistet, so daß bei $U_0 = -0,1 \text{ V} \dots +1,0 \text{ V}$ mit $U_s = \pm 5 \text{ V}$ gearbeitet werden kann.

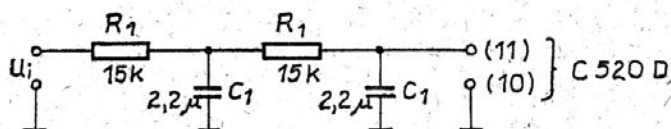


Bild 37: Tiefpaß zur Brummspannungunterdrückung

Bild 37 zeigt ein Tiefpaßfilter, das zur Brummspannungunterdrückung vor den High-Eingang (11) geschaltet werden kann. Mit $R_1 = 15 \text{ k}\Omega$ und $C_1 = 2,2 \text{ }\mu\text{F}$ ergibt sich eine Dämpfung von etwa 40 dB für 50 Hz , die für die meisten Fälle ausreichend sein wird. Der Vorsatz-OPV kann zusätzlich als Tiefpaß beschaltet werden.

8.7. Standardsignale und ihre Anpassung an den C 520 D

In der BMSR-Technik werden Standardsignale verwendet. Im folgenden wird die Anpassung des C 520 D an diese Signale gezeigt.

Standard-Signalbereiche	R_L (zwischen pin 10 und 11)
0 ... 5 mA	200 Ohm
0 ... 10 mA	100 Ohm
0 ... 20 mA	50 Ohm
0 ... 50 mA *	20 Ohm
0 ... 100 mA *	10 Ohm

$$U_{i_{max}} = 1000 \text{ mV}$$

* für große Entfernungen

0 ... 1 V	direkt an pin 10 und 11
0 ... 5 V	Teiler 5 : 1
0 ... 10 V	Teiler 10 : 1

Standardsignale
mit Offset

I_A	I_E	ΔI	$R_L = \frac{U_{i_{max}}}{\Delta I} = \frac{1000 \text{ mV}}{\Delta I}$
1 ...	5 mA	4 mA	250 Ohm
2 ...	10 mA	8 mA	125 Ohm
4 ...	20 mA	16 mA	62,5 Ohm

Tabelle 9 : Standardsignale der BMSR-Technik

Bei den Standardstromsignalen mit Offset ist der Anfangswert I_A zu kompensieren. Bild 38 zeigt die Anpassschaltung.

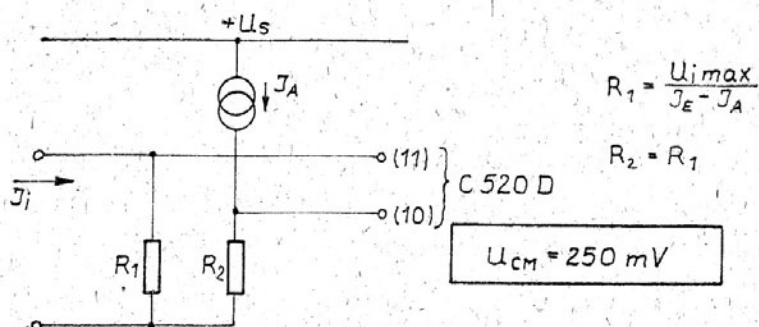


Bild 38: Anpaßschaltung an Stromsignale mit Offset

Der Offsetwert wird durch die Spannung an R_2 , die von der Stromquelle J_A erzeugt wird, kompensiert. Dabei ist zu beachten, daß der zulässige Gleichtaktbereich von ± 200 mV überschritten wird ($U_{CM} = + 250$ mV). D.h., dem Anwender werden die Parameter des Wandlers nicht mehr garantiert. Im Abschnitt 6 sind dazu nähere Erläuterungen enthalten.

8.8. Temperaturmessung

In der BMSR-Technik treten die wichtigsten analogen Meßgrößen bei technischen Prozessen in folgender typischer Verteilung auf /13/.

Meßgröße	Anteil	Kosten
1. Temperatur	50 %	16 %
2. Durchfluß, Menge	20 %	22 %
3. Druck	15 %	16 %
4. Füllstand, Niveau	10 %	16 %
5. Stoffanalyse	5 %	30 %

Tabelle 10 : Häufigkeit der analogen Meßgrößen bei technischen Prozessen

Aus Tabelle 10 ist zu sehen, daß die Temperaturmessung am häufigsten vorkommt. Unterteilt man die Temperaturmessung weiter, so kann man sicher davon ausgehen, daß ein wesentlicher Anteil dieser Messungen im Bereich von -50°C ...+ 150°C liegt.

Die Bilder 39 bis 41 zeigen Temperaturmessungen und die Anzeige mittels C 520 D. Als Temperaturfühler werden der PT 100 vom VEB Thermometerwerk Geraberg und eine Basis-Emitter-Diode verwendet. Es wird fälschlicher Weise oft davon ausgegangen, daß der Widerstand des PT 100 linear von der Temperatur abhängt. Deshalb seien an dieser Stelle die Kennliniengleichungen angegeben.

PT 100 : $I_{\max} = 3 \text{ mA}$, $I_{\text{typ}} \approx 1 \text{ mA}$

$$-200^{\circ}\text{C} \leq \vartheta \leq 0^{\circ}\text{C}$$

$$R(\vartheta) = 100 \text{ Ohm} [1 + A \cdot \vartheta + B \cdot \vartheta^2 + C(\vartheta - 100^{\circ}\text{C})\vartheta^3]$$

$$0^{\circ}\text{C} < \vartheta < 650^{\circ}\text{C}$$

$$R(\vartheta) = 100 \text{ Ohm} \cdot (1 + A \cdot \vartheta + B \cdot \vartheta^2)$$

$$A = 3,908 \cdot 10^{-3}/^{\circ}\text{C}$$

$$B = -5,802 \cdot 10^{-7}/^{\circ}\text{C}^2$$

$$C = -4,274 \cdot 10^{-12}/^{\circ}\text{C}^4$$

Abgleichpunkt : $R(0^{\circ}\text{C}) = 100 \text{ Ohm}$

Es ist zu sehen, daß für große Temperaturbereiche oder genaue Messungen die Fehleranteile durch B und C bzw. ϑ^2 und ϑ^3 berücksichtigt werden müssen.

$$F_1 = -5,802 \cdot 10^{-5} \cdot \vartheta^2$$

$$F_2 = -4,274 \cdot 10^{-10} (\vartheta - 100^{\circ}\text{C}) \cdot \vartheta^3$$

Bezieht man die Summe der Fehleranteile F_1 und F_2 auf den linear von der Temperatur abhängigen Teil ($0,3908 \cdot \vartheta$), ergibt sich der prozentuale Gesamtfehler F_G (%). Tabelle 11 zeigt die Fehleranteile in Abhängigkeit von der Temperatur. Es ist zu sehen, welche Linearitätsfehler für verschiedene Temperaturdifferenzen ohne zusätzliche Linearisierung der Fühlerkennlinie entstehen.

$$R(\vartheta) = 100 \text{ Ohm} + 0,391 \cdot \vartheta - 5,80 \cdot 10^{-5} \cdot \vartheta^2 - 4,27 \cdot 10^{-10} \cdot (\vartheta - 100^{\circ}\text{C}) \cdot \vartheta^3$$

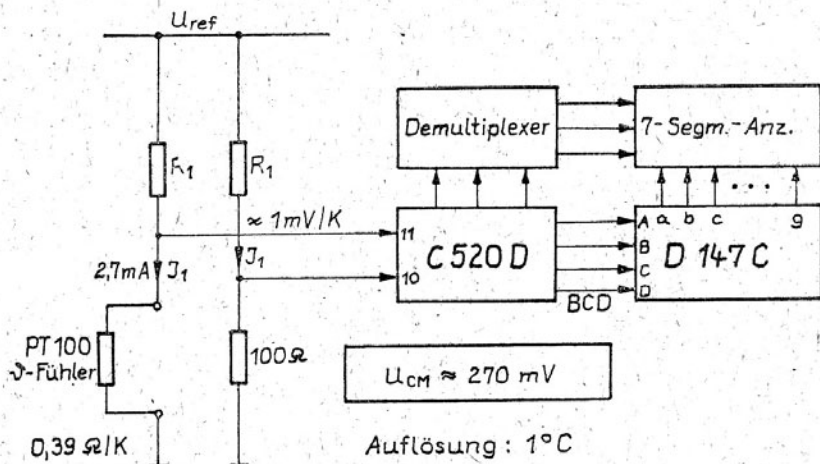
ϑ	$0,391 \cdot \vartheta$	$F_1 + F_2$	$F_G (\%)$
0°C	0	0	0
-10°C	-3,908	-0,006	0,15 %
-20°C	-7,816	-0,023	0,30 %
-50°C	-19,54	-0,153	0,78 %
-100°C	-39,08	-0,665	1,70 %
-150°C	-58,62	-1,67	2,80 %
-200°C	-78,16	-3,35	4,29 %

$$R(\vartheta) = 100 \text{ Ohm} + 0,391 \cdot \vartheta - 5,80 \cdot 10^{-5} \cdot \vartheta^2$$

ϑ	$0,391 \cdot \vartheta$	F_1	$F_G (\%)$
10°C	3,908	0,0058	0,15 %
20°C	7,816	0,0232	0,30 %
50°C	19,54	0,1451	0,74 %
100°C	39,08	0,5802	1,48 %
150°C	58,62	1,3055	2,23 %
200°C	78,16	2,3208	2,97 %
300°C	117,24	5,2218	4,45 %
400°C	156,32	9,2832	5,94 %
500°C	195,4	14,505	7,42 %
600°C	234,48	20,8872	8,91 %

Tabelle 11 : Linearitätsfehler des PT 100

Bild 39: Digitale Temperaturmessung mit PT 100 und C 520 D



Im Bild 39 wird ein PT 100 als Fühler verwendet. Der Einsatz erfolgt in einer Brückenschaltung, die von U_{ref} gespeist wird. Die Widerstandsänderung beträgt $0,39 \text{ Ohm/K}$. Um 1 mV/K für den C 520 D zu erhalten, ist I_1 $2,7 \text{ mA}$ zu wählen. Damit der C 520 D bei 0°C auch 0 mV anzeigt, ist der Offsetwert von $2,7 \text{ mA} \cdot 100 \text{ Ohm} = 270 \text{ mV}$ mit dem Referenzweig (R_1 und 100 Ohm) zu kompensieren. Die Auflösung beträgt 1°C . Dabei ist zu beachten, daß der low-Eingang (10) des C 520 D um eine Gleichtakteingangsspannung von $U_{CM} = 270 \text{ mV}$ angehoben wird.

($U_{CM_{max}} = \pm 200 \text{ mV}$ laut Datenblatt). Die Bauelemente arbeiten fast alle bis $U_{CM} = \pm 280 \text{ mV}$ ohne Verlust an Linearität.

Der Linearitätsfehler steigt bei höheren U_{CM} zuerst an den Eingangsspannungsgrenzen. Für positive Temperaturen und Auflösungen von 1°C werden diese nicht erreicht. Es ist weiterhin zu beachten, daß U_{ref} so groß gewählt wird, daß der zusätzliche Linearitätsfehler durch die Verringerung des Referenzstromes von $2,7 \text{ mA}$ durch den PT 100 bei Temperaturerhöhung die zulässigen Grenzen nicht übersteigt. Tabelle 12 weist diesen Zusammenhang aus.

ϑ	R (ϑ)	$U_{ref} = +5\text{ V}$ I_1	$U_{ref} = +15\text{ V}$ I_1	$U_{ref} = +5\text{ V}$ I_1
0°C	100 Ohm	2,7 mA	2,7 mA	1 mA
100°C	139 Ohm	2,64 mA	2,68 mA	0,99 mA
Stromänderung :		60 μA	20 μA	10 μA
prozentuale Änderung		2,2 %	0,74 %	1 %

Tabelle 12 : Einfluß der Referenzspannung auf den Linearitätsfehler

Mit kleinerer Referenzspannung steigt der Linearitätsfehler. Mit der Schaltung nach Bild 39 wird eine Auflösung von 1 mV/K und damit eine Anzeige in °C erreicht. Der Brückenabgleich erfordert keine große Genauigkeit, da der C 520 D sowohl den Nullpunkt als auch die Steigung der Umsetzerkennlinie korrigieren kann.

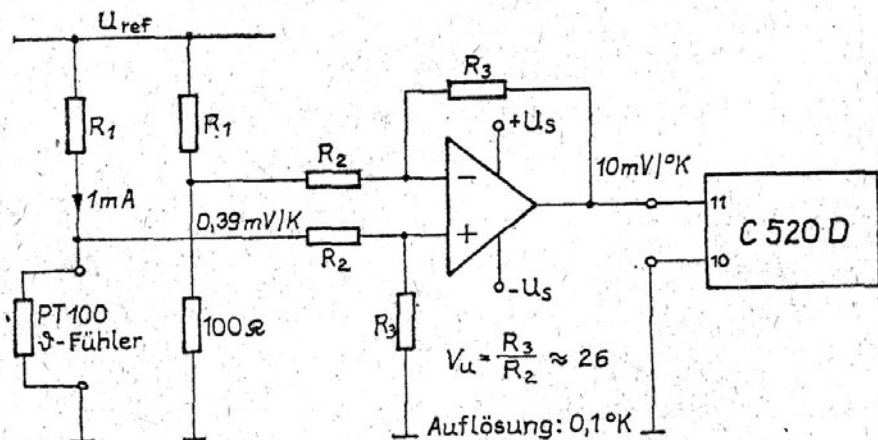


Bild 40: Digitale Temperaturanzeige für - 9,9° C ... + 9,9° C

Bild 40 zeigt den gleichen Fühler in einer Brückenschaltung mit einem zusätzlichen OPV, der als nichtinvertierender Differenzverstärker arbeitet. Mit der Schaltung wird eine Auflösung von $0,1^{\circ}\text{C}$ erreicht. Bei einem Brückenstrom von 1 mA entsteht am PT 100 eine Änderung von $0,39\text{ mV/K}$, die mit dem OPV bei $V_U \approx 26$ auf 10 mV/K verstärkt wird. Der Anzeigebereich mit dem C 520 D von $-9,9^{\circ}\text{C}$ bis $99,9^{\circ}\text{C}$ ist nur dann sinnvoll, wenn eine verhältnismäßig hohe Referenzspannung, ein kleiner Brückenstrom und ein angepaßter Abgleich des gesamten Umsetzers erfolgt. Durch den kleineren Brückenstrom von 1 mA gegenüber 2,7 mA wird der Linearitätsfehler der Brücke verringert, wie Tabelle 12 ausweist. Durch den zwischengeschalteten OPV entstehen keine Gleichtaktprobleme. Der Abgleich des Meßsystems für den Null- und Endwert erfolgt mit dem C 520 D. Der Offsetabgleich des OPV sollte erfolgen, da er mit einem V_U von 26 arbeitet und damit das Temperaturverhalten verbessert wird.

Einsetzbar sind der B 081 D oder der MAA 741, für die Betriebsspannungen von $\pm 5\text{ V}$ ausreichend sind, da mit maximalen Aussteuerungen von -100 mV bis $+ 1\text{ V}$ gearbeitet wird.

Soll eine Temperaturmessung mit $0,1^{\circ}\text{C}$ Genauigkeit erfolgen, so wird häufig das Eichproblem unterschätzt, da Eiswasser nur in Meeresspiegelhöhe 0°C und siedendes Wasser die 100°C ebenfalls nur in dieser Höhe aufweist. Um systemeigene Fehler einzueichen, ist es dabei oft sinnvoll Null- und Endwertabgleich an anderen Punkten der Kennlinie vorzunehmen, um die Fehler in einem bestimmten Kennlinienbereich zu minimieren. Diese Temperaturen sind dann aber mit möglichst noch höherer Genauigkeit zu messen. Spätestens hier fehlen dann die entsprechenden Eichnormale.

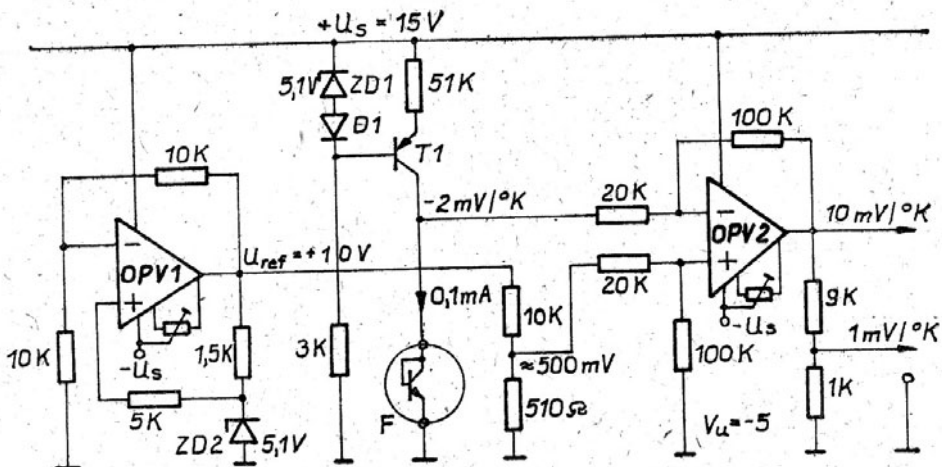


Bild 41: Temperatur-Spannungs-Wandler mit Basis-Emitter-Diode als Fühler und einer Empfindlichkeit von 10 bzw. 1 mV/°K

Im Bild 41 wird ein Temperatur-Spannungs-Wandler mit einer Basis-Emitter-Diode als Fühler gezeigt. Der OPV₁ wird zur Referenzspannungserzeugung von + 10 V eingesetzt. Als Referenzelement wird eine 5,1 V-Z-Diode verwendet, deren Strom durch den 1,5 kOhm Widerstand bestimmt ist. Das Temperaturverhalten der Z-Diode wird sehr stark durch diesen Strom beeinflusst.

8.9. Mikrorechnerkopplung

Der C 520 D wurde speziell für meßwertanzeigende Systeme entwickelt. Die gemultiplexte Ausgabe der BCD-Worte bietet recht einfach die Möglichkeit, Prozeßdaten zu erfassen und im Mikrorechner zu verarbeiten. In /15/ und /16/ sind dazu zwei Lösungsmöglichkeiten beschrieben, die sowohl den Anschluß über eine PIO (U 855) als auch das dazugehörige Programm enthalten.

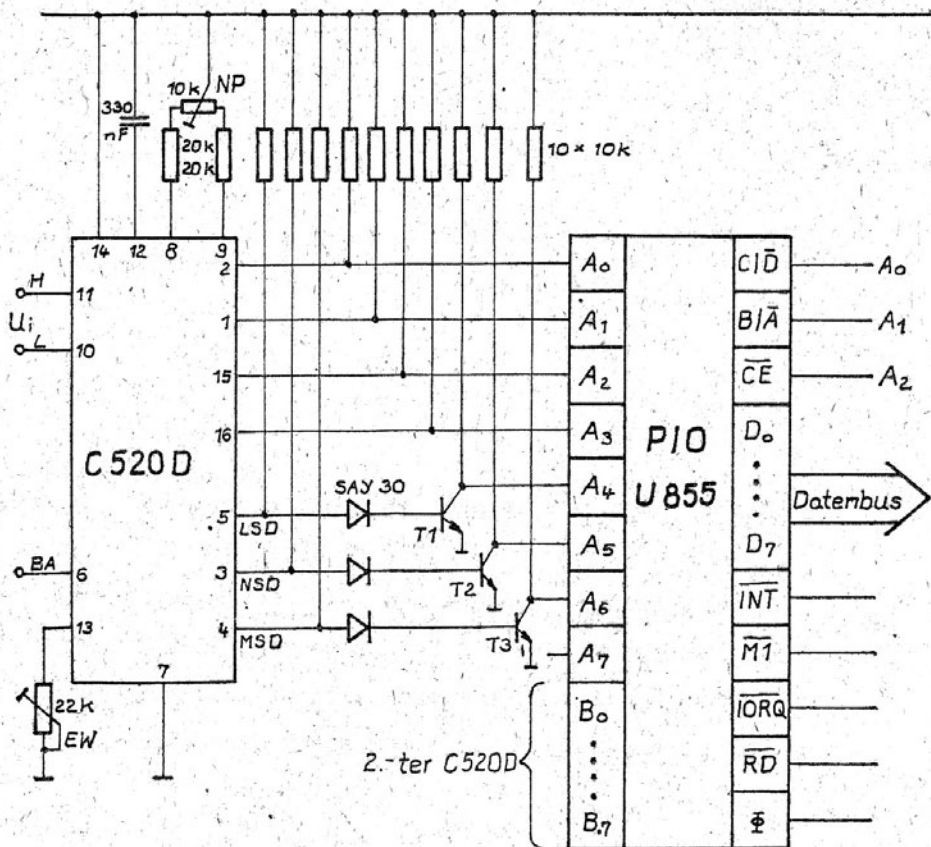


Bild 42: Mikrorechnerkopplung des C 520 D über PIO

Der TK kann damit positiv, negativ oder in engen Temperaturbereichen etwa zu 0 gemacht werden. Für höhere Anforderungen in größeren Temperaturbereichen sind temperaturkompensierte Referenzelemente des VEB WF Berlin (z.B. SZY 23) zu verwenden. Der Temperaturfühler F wird von einer Stromquelle mit $100 \mu\text{A}$ gespeist. Mit D_1 in Reihe zu ZD_1 wird eine Temperaturkompensation der U_{BE} von T_1 realisiert. Die Referenzspannung wird mit dem Teiler $10 \text{ k}\Omega / 510 \text{ }\Omega$ auf etwa 500 mV je nach Fühler heruntergeteilt und ist der Referenzpegel für OPV_2 . Er arbeitet als invertierender Differenzverstärker mit $V_U = -5$, um den TK der U_{BE} von -2 mV/K auf $+10 \text{ mV/K}$ umzusetzen. Wird der OPV-Ausgang direkt auf den C 520 D gegeben, ist eine Auflösung von $0,1^\circ\text{C}$ möglich. Für kleine Temperaturbereiche, wie z.B. für Körpertemperaturmessungen ist die Linearität der Wandlerkennlinie bei entsprechend präzisiertem Abgleich für den Bereich von 28°C bis 45°C sicher ausreichend. Für größere Temperaturbereiche ist der zweite Ausgang mit 1 mV/K und 1°C Auflösung geeigneter. Auch für diese Schaltung reduziert sich der Abgleichaufwand auf den Offsetabgleich von OPV_2 und den Null- und Endwertabgleich mit dem C 520 D. Auf eine sehr präzise Einstellung des Referenzpegels für den Fühler und die Verstärkung von $V_U = -5$ kann verzichtet werden, da der TK (U_{BE}) um $\pm 10\%$, das entspricht $-1,8 \dots -2,2 \text{ mV/K}$, schwanken kann. Das Temperaturverhalten des Wandlers kann durch zu große Nullpunkt- oder Endwertkorrekturen innerhalb größerer Temperaturbereiche negativ beeinflusst werden.

Im Bild 42 ist eine weitere Anschlußvariante dargestellt, die berücksichtigt, daß die Digit-Ausgänge nicht TTL-kompatibel sind. An Port A und an Port B kann jeweils ein C 520 D angeschlossen werden. Mit \overline{OE} und B/\overline{A} erfolgt der Aufruf des ersten oder zweiten C 520 D. Da die Hardware keine Störimpulsunterdrückung enthält, Fehlspeicherungen also möglich sind, ist die softwaremäßig zu realisieren, wie es in /15/ und /16/ erfolgt. Da in beiden Ports eine Leitung (A_7, B_7) nicht belegt ist, besteht die Möglichkeit, diese für die Umschaltung der Betriebsart der beiden Wandler zu nutzen. Analog zu dem dargestellten Anschluß können auch Interface-IS der 82-er Reihe für die Anpassung an den Mikrorechnerbus verwendet werden.

9. DEKODERREIHE D345 bis 348

Die Dekoder D 146/147 haben den Nachteil eines relativ hohen Eigenstromverbrauchs. Mit der Entwicklung der I²L-Technik besteht die Möglichkeit, leistungsarme Digitalschaltkreise für Geschwindigkeiten bis zu 1 ... 2 MHz bereitzustellen.

Besonders für tragbare Geräte ist der geringe Leistungsverbrauch der Schaltkreise ein wesentliches Kriterium. Als Konsequenz wurde die Entwicklung der Dekoderreihe D 345/346/347/348 beschlossen. Die Stromaufnahme der Bauelemente ist je nach Typ und eingestelltem Segmentstrom um 8 mA (max. 15 bzw. 25 mA). Die Anschlußbelegung entspricht der des D 147 C. Eine Sonderfunktion hat Anschluß 3. Die vier Bauelemente unterscheiden sich in der Dekodierung und der Gestaltung der Ausgänge. Der D 347 soll den D 147 ablösen.

Alle Funktionen des D 147 wie Nullunterdrückung, Intensitätssteuerung sind bei den neuen Dekodern äquivalent. Alle Dekoder haben Stromausgänge, benötigen also keine Widerstände in den Segmentleitungen zur Strombegrenzung.

D 345/347 : Fest eingestellte Konstantstromausgänge

$$I_0 = 8 \dots 13 \text{ mA, bei } U_S = 5 \text{ V}$$

Pin 3 wird nicht belegt.

$$I_S(\text{typ.}) = 10 \text{ mA, max. } 20 \text{ mA}$$

D 346/348: Über pin 3 sind die Segmentströme mit einem Widerstand gegen $+U_S$ einstellbar.

Statischer und Multiplexbetrieb : $I_0 = 0 \dots 40 \text{ mA}$
 unter Beachtung der maximal zulässigen Vorbestleistung je Ausgang.

$I_S(\text{max.}) = 25 \text{ mA}$ und $I_S(\text{typ.}) = 8 \text{ mA}$ bei
 $I_0 = 40 \text{ mA}$ und $U_S = 5,25 \text{ V}$.

Es besteht eine annähernd lineare Abhängigkeit der Segmentström I_0 vom Programmwiderstand. Die Bauelemente D 345/346 und D 347/348 unterscheiden sich in ihrer Dekodierung der Pseudotetraden 10 bis 15 wie folgende Tabelle zeigt:

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
D 147	0	1	2	3	4	5	6	7	8	9	c	d	e	f		
D 345 346	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
D 347 348	0	1	2	3	4	5	6	7	8	9	-	e	d	c	b	a

Tabelle 13 : 7-Segment-Darstellung der neuen Dekoderreihe
 D 345 bis D 348

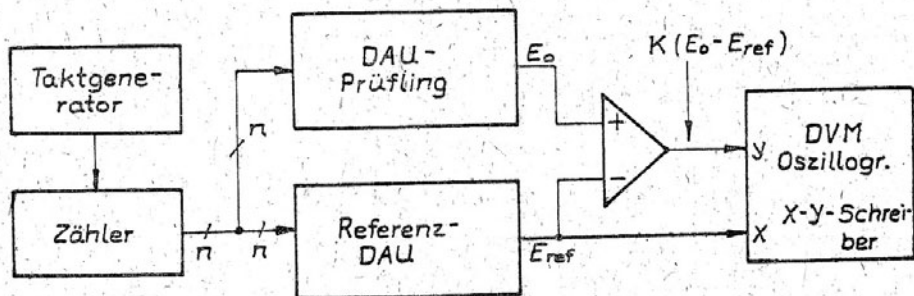
Es ist zu sehen, daß die D 347/348 für den C 520 D durch die Ausgabe eines echten Minuszeichens (Segment g) und des E als positiver Überlauf besser geeignet sind als der D 147 C.

Für den Einsatz in der Mikrorechentechnik ist der D 345/346 wegen der Ausgabe des Hexadezimalcodes besonders geeignet.

Der Grenzwert für die Betriebsspannung beträgt $U_S = 7 \text{ V}$.

10. TESTMÖGLICHKEITEN von WANDLERN

Die Linearitätsmessung von Wandlern nimmt in der Regel die meiste Zeit der gesamten Prüfzeit aller Parameter in Anspruch, wenn die komplette Kennlinie überprüft werden soll.



Für D/A-Wandler ist diese Überprüfung relativ einfach, wie Bild 43 zeigt. Der zu testende D/A-Wandler wird parallel zu einem Referenz-D/A-Wandler angesteuert. Die Differenz der Ausgangsspannungen beider Wandler wird mit dem OPV gebildet und entspricht dem Linearitätsfehler, da der Referenzwandler eine wesentlich höhere Genauigkeit aufweist als der zu messende. Die Protokollierung kann mit einem Digitalvoltmeter (DVM), Oszillografen oder X-Y-Schreiber für die gesamte Kennlinie erfolgen. Die gezielte Fehlersuche an definierten Stellen der Kennlinie ist wegen der z.T. hohen Auflösung der Wandler mit der Gesamtkennlinie nicht möglich, wenn die Darstellung z.B. mittels Oszillograf erfolgt. Dazu muß die Kennlinie ausschnittsweise dargestellt werden. Der Zähler wird zu diesem Zweck durch eine umfangreichere Steuerung ersetzt, in die eine Start- und Stoppadresse eingegeben werden kann.

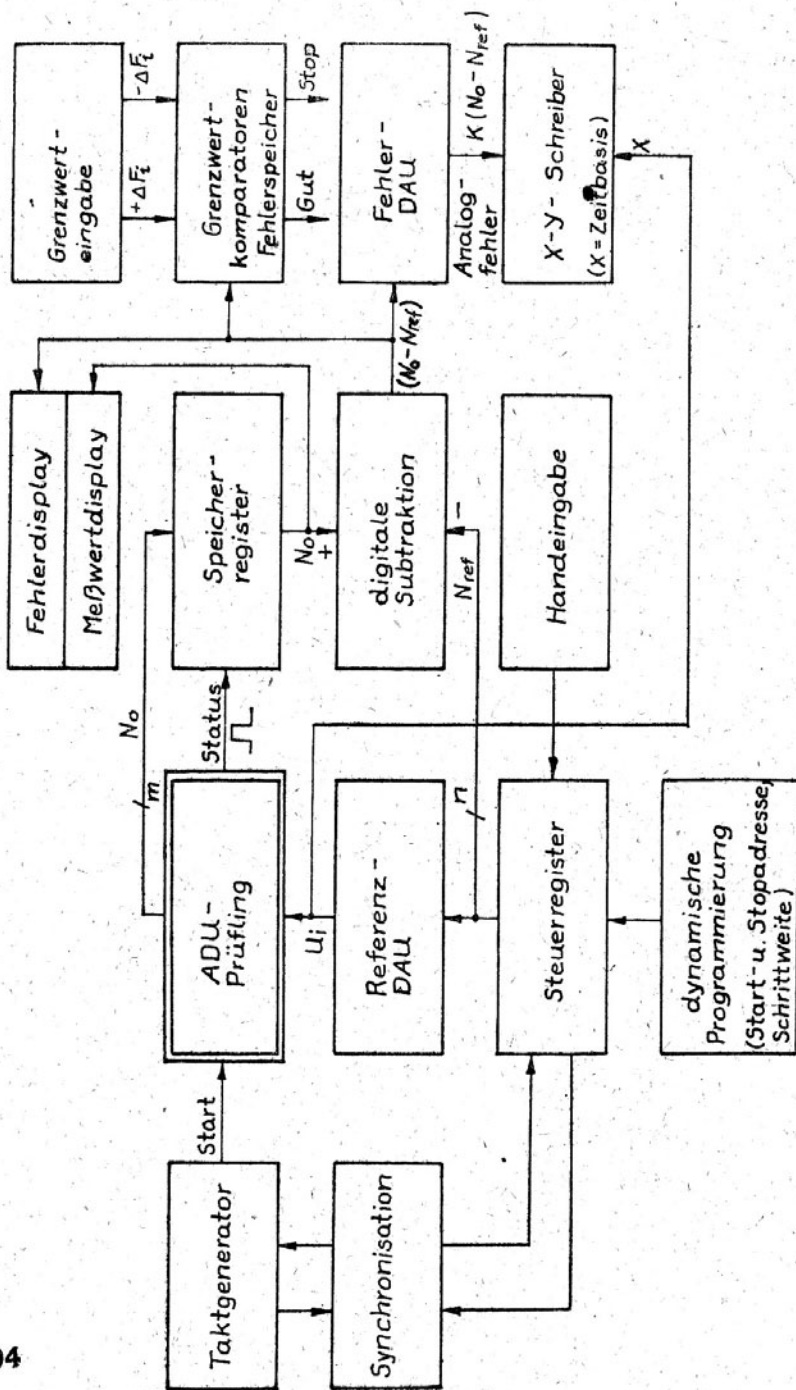


Bild 44: Testmöglichkeit für ADU

Zwischen diesen beiden Punkten wird die Kennlinie Schritt für Schritt dargestellt und gestattet eine wesentlich präzisere Fehlersuche z.B. um das MSB, wenn nur wenige Stufen dargestellt werden.

Wesentlich umfangreicher wird ein halb- oder vollautomatisches System zur Linearitätserfassung mit der Vorgabe von Grenzwerten zur Gut-Schlecht oder Qualitätsgruppenbestimmung von AD-Wandlern.

Die einfachste Methode besteht sicher darin, ein Referenz-DVM parallel zum Prüfling mit der gleichen Eingangsspannung anzusteuern und über Bitmustervergleich oder Sichtkontrolle die Klassifizierung des Wandlers vorzunehmen.

Bild 44 zeigt eine Teststruktur unter Verwendung eines Referenz-DAU. Im Steuerregister wird beginnend mit der Startadresse des Referenz-Digitalwort N_{ref} erzeugt und mit dem DA-Wandler in eine Analogspannung umgesetzt, die vom zu testenden AD-Wandler in das Bitmuster N_0 rückgewandelt wird. Der Taktgenerator und die Synchronisation steuern das Weitschalten des Steuerregisters und die zeitverzögerte Meßwertumsetzung des ADU (Start).

Das Digitalwort N_0 wird geschlossen oder gemultiplext nach beendeter Umsetzung in das Speicherregister übernommen. Durch die Subtraktion wird der Linearitätsfehler

$$F_L = N_0 - N_{ref} \text{ gebildet.}$$

Sowohl der Meßwert N_0 als auch der Fehler $N_0 - N_{ref}$ können in der Anzeige dargestellt werden. Zur Fehlerprotokollierung wird die Differenz $N_0 - N_{ref}$ mit einem DAU in einen Analogwert umgesetzt ($K(N_0 - N_{ref})$), und z.B. mit einem X - Y - Schreiber erfaßt, wie Bild 45 zeigt.

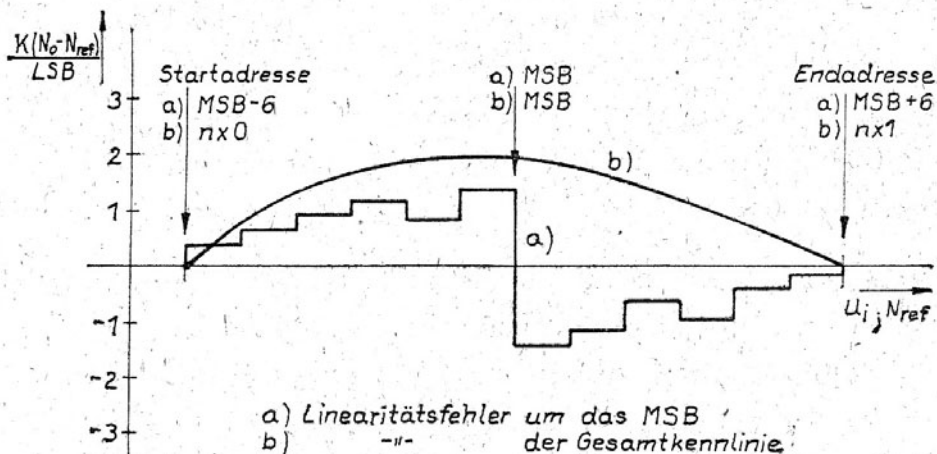


Bild 45: Protokoll des Linearitätsfehlers

Zur Analyse der Genauigkeitsklassen von ADU sind die erforderlichen Fehlergrenzen $+ F_i$ und $- F_i$ einzugeben. Die Grenzwertkomparatoren vergleichen $N_0 - N_{ref}$ mit den vorgegebenen Grenzwerten und setzen die dazugehörigen Fehlerspeicher. Für zu große Fehler kann die Testroutine unterbrochen werden oder die Einsortierung in die erreichte Genauigkeitsklasse am Ende vorgenommen werden.

Je nach Anforderungen der Fehleranalyse ist die Genauigkeit des Referenz-DAU zu wählen. In der Regel sollte er um den Faktor 10 präziser als der zu prüfende AD-Wandler sein.

Für schnelle ADU mit geringer Auflösung beansprucht dieser Test verhältnismäßig kleine Prüfzeiten. Für integrierende Wandler wie den C 520 D bestimmt die Zahl der Meßpunkte und seine eigene Umsetzgeschwindigkeit vorrangig die Meßzeit. Da die differentiellen Nichtlinearitäten der Kennlinien integrierender Wandler äußerst gering sind, kann für Wandler, die nach diesem Umsetzverfahren arbeiten, auf die Messung an allen Kennlinienpunkten verzichtet werden. Es ist nur eine geringe Anzahl von Meßpunkten zur Einschätzung der Linearität dieser Wandler erforderlich.

11. LITERATURVERZEICHNIS

- /1/ Seitzer, D.: Elektronische AD-Umsetzer
* Springer Verlag, Heidelberg, New York, 1977.
- /2/ Seifart, M.: Einfache ADU mit hoher Linearität und
Genauigkeit
Nachrichtentechnik Elektronik 28(1978) 10, S. 418 - 420
- /3/ Seifart, M.: Spannungs- und Stromfrequenzwandler
Bogk, G.: nach dem Integrationsverfahren
rfe 26(1977) 15, S. 507 - 510, Teil 1
rfe 26(1977) 16, S. 535 - 536, Teil 2
- /4/ Seifart, M.: Integrierender Analog-Digital-Umsetzer
mit stark verkürzter Umsetzzeit
rfe 30(1981) 11, S. 688 - 691
- /5/ Bobe, W.: Ein schneller 8 bit-Analog-Digital-
Umsetzer
rfe 28(1979) 1, S. 22 - 23
- /6/ Dieben, A.; Schneller Analog-Digital-Wandler für
Heymel, G.; Testzwecke
Unger, H.:
rfe 28(1979) 10, S. 621 - 623
- /7/ IEC-Dokument, Techn. Komitee Nr. 47, Semiconductor
Devices and Integrated Circuits, Juni 1982
" Conversion terms for linear and nonlinear analogue - to -
digital Converters (ADC's) and digital-to-analogue
Converters (DAC's)

- /8/ Ehsingold, D.H.: Analog-Digital Conversion notes
Analog Devices Inc., Norwood, Mass., 1977
- /9/ Teichmann, J.: I²L-Schaltungstechnik
rfe 26(1977) 8, S. 245 - 247
- /10/ Boldt, J.: I²L-Schaltungstechnik
Junge, K.:
Schönfelder, B.:
rfe 26(1977) 8, S. 245 - 247
- /11/ Informationsblatt: Monolithisch integrierter bipola-
rer 3 Digit-A/D-Wandlerschaltkreis C 520 D
Ausgabe 8/81, VEB Halbleiterwerk Frankfurt(Oder)
- /12/ Fachbereichsstandard, TGL 38014
Bipolarer Analog-Digital-Wandlerschaltkreis C 520 D
- /13/ Philipow, E.: Taschenbuch Elektrotechnik, Bd. 4,
S. 441
VEB Verlag Technik Berlin 1979
- /14/ Kehl, B.: Der Analog-Digital-Wandler C 520 D
rfe 31(1982) 6, S. 377 - 382
- /15/ Doring, H.: Analogwerteingabe in Mikrorechner mit
C 520 D
rfe 31(1982) 6, S. 382 - 383
- /16/ Scheuschner, D.: A/D-Wandler C 520 D mit U 880 ge-
koppelt
rfe 31(1982) 6, S. 384
- /17/ Katalog Optoelektronische Bauelemente, VEB WF Berlin

Informations- und Applikationshefte „MIKROELEKTRONIK“

Bisher erschienen:

- Heft 1: A 210 und 211
- Heft 2: A 301
- Heft 3: A 290
- Heft 4: A 202
- Heft 5: A 244 und A 281
- Heft 6: Importbauelemente RGW „IS“
- Heft 7: A 273 und A 274
- Heft 8: Importbauelemente RGW
- Heft 9: A 302
- Heft 10: A 277 (LED-Ansteuer IS)
- Heft 11: B 260 (IS für Schaltnetzteile)
- Heft 12: Zuverlässigkeit von IS
- Heft 13: Leistungselektronik I
- Heft 14: C 520

In Vorbereitung:

- Heft 15: D 410 und E 412
- Heft 16: Leistungselektronik II
- Heft 17: B 555

Abänderungen werden aus technischen Gründen vorbehalten!

Schriftliche Bestellungen für Versand nur an:

KAMMER DER TECHNIK
Vorstand des Bezirksverbandes
1200 Frankfurt (Oder)
Ebertusstraße 2

Direktverkauf:

INFORMATIONSZENTRUM HFO
1200 Frankfurt (Oder)
Karl-Marx-Straße 32



veb halbleiterwerk frankfurt/oder
leitbetrieb im veb kombinat mikroelektronik



KAMMER DER TECHNIK
Vorstand des Bezirksverbandes
Frankfurt (Oder), Ebertusstraße 2

Beratungs- und Informationsstelle

Mikroelektronik „BIS“ Bezirk Frankfurt (Oder)

Aufgaben:

- Kundenberatung zum rationellen Einsatz der Mikroelektronik
- Mitarbeit bei der schnellen Überführung elektronischer Lösungsvarianten in der Industrie
- Erfassung und Speicherung von Informationen über Lösungsvarianten und Wirkprinzipien der Elektronik, einschließlich Soft-Ware-Dokumentation
- Aus- und Weiterbildung auf dem Gebiet der Mikroelektronik durch Bildungsmaßnahmen des Bezirksverbandes der Kammer der Technik Frankfurt (Oder)

Ausführliche Informationen nach Anmeldung:

Beratungs- und Informationsstelle Mikroelektronik

1200 Frankfurt (Oder)

Ernst-Thälmann-Straße 37 · Telefon 32 71 71

EVP 4,00 M